Caratterizzazione di sensori a Pixel integrati verticalmente mediante laser micro focalizzato.
Indice

INTRODUZIONE ......................................................................................................................... 6

Capitolo 1. Tecnologia tridimensionale ..................................................................................... 9
1.1 Descrizione delle tecnologie tridimensionali ...................................................................... 9
TSV .......................................................................................................................................... 16
Le TSV relative ai circuiti integrati (IC) possono essere realizzate in diversi modi: ................. 16
Fool TSVs ................................................................................................................................. 16
Beol TSVs ................................................................................................................................. 16
Creazione delle TSV ................................................................................................................ 18
Contatti-Bonding ..................................................................................................................... 19
Thinning ..................................................................................................................................... 23
Aligned ........................................................................................................................................ 26
1.2 Teconoligia Chartered/Tezzaron .......................................................................................... 29

Capitolo 2. Sensore di radiazione ............................................................................................. 32
2.1 Fotodiodo ............................................................................................................................ 32
2.2 Caratteristiche generali ....................................................................................................... 34
2.3 Iterazione tra Radiazione e Materia .................................................................................... 38

Capitolo 3. Sensori di radiazione in tecnologia CMOS .............................................................. 42
3.1 Sensori APS ........................................................................................................................ 44
3.2 Pixel Large e Pixel Small .................................................................................................... 47
3.3 Il sensore RAPS04 ............................................................................................................. 49

Capitolo 4. Strumenti software: Labview .................................................................................. 57

Capitolo 5. Caratterizzazione Elettrica ..................................................................................... 62
5.1 Analisi del Buffer ................................................................................................................ 62
Strumentazione utilizzata per il test elettrico ........................................................................... 63
Test del Buffer Raps04-3D ........................................................................................................ 67
5.2 Analisi del Singolo Pixel ...................................................................................................... 78
5.3 Analisi della rumorosità ...................................................................................................... 88

Capitolo 6. Banco Ottico .......................................................................................................... 95
6.1 Collimazione e focalizzazione di un fascio gaussiano ......................................................... 96
6.2 Laser rosso 780nm ............................................................................................................. 102
6.3 Setup banco ottico ............................................................................................................. 103
Capitolo 7. Scansioni Laser Rosso................................................................. 111
7.1 Verifica della risposta correlata dei due tier di Raps04 3D...................... 112
7.2 Scansioni.............................................................................................. 118
  7.2.1 Scansioni Laser ............................................................................... 118
Capitolo 8. Conclusioni e sviluppi futuri ...................................................... 128
Bibliografia................................................................................................. 129
INTRODUZIONE

Da molti anni, i rivelatori di radiazione a semiconduttore trovano impiego in una larga varietà di campi, in applicazioni scientifiche e tecnologiche: esperimenti di fisica nucleare e fisica delle particelle elementari, astronomia ottica a raggi-x, strumentazione medica e test dei materiali. Ad esempio, essi hanno reso possibile la realizzazione, nell’ambito della fisica delle particelle, di rivelatori con elevata risoluzione spaziale, maggiore rapidità di acquisizione e copertura angolare più ampia. Lo sviluppo di nuovi strumenti di simulazione, affiancato alla ricerca sperimentale, ha permesso di indicare in quale direzione orientare la produzione di nuovi rivelatori, con un notevole abbattimento del tempo e delle risorse necessarie alla realizzazione di nuovi dispositivi. L’industria dei semiconduttori ha vissuto avanzamenti incredibili, spinti soprattutto dell’evoluzione tecnologica:

- miglioramento delle prestazioni,
- riduzione dei costi
- riduzione delle dimensioni;

così come la microelettronica, la quale ha sempre ricoperto un ruolo di primaria importanza nel perseguire questi obiettivi. Per questo motivo la famosa legge di Moore, che prevede un raddoppio delle prestazioni dei chip ogni 18 mesi, ha segnato le tappe dell’elettronica fino ad oggi. La tecnologia di integrazione CMOS si è molto sviluppata negli ultimi anni, essendo utilizzata nella produzione su larga scala di circuiti integrati come memorie e microprocessori. Ciò ha permesso una vasta produzione di dispositivi atti alla rivelazione di luce visibile, entrando in competizione con le altre tecnologie quali CCD, Charge Coupled Device, SDD, Silicon Drift Device. Il suo punto di forza, data la sua elevata capacità di integrazione, è la possibilità di costruire sullo stesso sensore un vero e proprio System-on-Chip (SoC), in quanto sullo stesso substrato, all’interno di ogni singolo pixel, oltre alla parte fotosensibile viene inserita anche la circuiteria di elaborazione, garantendo una elevata risoluzione spaziale e una ridotta dissipazione di potenza. Tuttavia, stiamo assistendo ad un rallentamento di tale tendenza a causa dell’avvicinamento ai limiti delle tecnologie al silicio. Si stanno, pertanto, cercando soluzioni alternative. In particolare, ha trovato terreno fertile l’integrazione tridimensionale o “verticale” di chip. Tale integrazione permette una ottimizzazione più efficiente del sistema e un conseguente aumento della densità di integrazione, diminuendo i
ritardi alle interconnessioni, risolvendo efficacemente uno dei problemi fondamentali dello scaling delle tecnologie CMOS, ovvero la lunghezza delle interconnessioni stesse. Inoltre, i diversi strati del circuito integrato possono essere progettati secondo criteri diversi, ottimizzati per una particolare applicazione: layer analogico, layer digitale, layer con il sensore. Questo consente di separare l’eletronica di front-end analogica dal sistema di lettura digitale, con notevoli vantaggi in termini di funzionalità e prestazioni. L’integrazione verticale risulta quindi potenzialmente di grande importanza negli esperimenti della fisica delle alte energie, che pongono requisiti sempre più stringenti ai sistemi di tracciatura e ai rivelatori di vertice, i quali dovranno ricostruire l’esatta traiettoria delle particelle, avere una elevata resistenza alla radiazione e fornire un elevato rapporto segnale-rumore. Proprio sull’analisi di strutture integrate verticalmente il presente lavoro di tesi, che ha come scopo l’analisi delle prestazioni di sensori a stato solido a matrici di pixel attivi (Active Pixel Sensor), integrati in tecnologia CMOS (Complementary Metal Oxide Semiconductor) su scala verticale. Il lavoro di questa tesi è parte del progetto VIPIX, frutto di una collaborazione tra la sezione dell’INFN di Perugia, Istituto Nazionale di Fisica Nucleare, la facoltà di Ingegneria Elettronica dell’Università degli Studi di Perugia e altri Atenei e sezioni INFN italiani. Il progetto ha visto la progettazione e la caratterizzazione, sia elettrica che funzionale, di diversi prototipi di sensore, che sono giunti alla 5° generazione (RAPS06). I test di cui sopra hanno riguardato il sensore RAPS04-3D. Il RAPS04-3D si differenzia notevolmente rispetto alle versioni precedenti in quanto è realizzato in una tecnologia innovativa tridimensionale allo stato dell’arte, che permette di integrare monoliticamente più circuiti funzionalmente completi, sovrapponendoli l’uno sull’altro in direzione verticale, e offrendo la possibilità di distribuire verticalmente anche alcuni segnali globali, mediante interconnessioni realizzate attraverso il silicio stesso chiamate TSV (Through Silicon Vias). Nel lavoro da me svolto in collaborazione con l’ing. Michele Salvatore ha l’obiettivo di caratterizzare complessivamente il funzionamento del sensore RAPS04-3D. Ovvero studiare il comportamento del sensore quando esposto ad un fascio di fotoni a diverse energie e utilizzando sorgenti laser, in particolare della lunghezza d’onda di 780 nm. Questo con l’obiettivo di stimolare le matrici di pixel attivi, integrate in tecnologia CMOS.

Come appena introdotto, il lavoro di tesi è incentrato sullo studio del comportamento del sensore RAPS04-3D. In primis ci siamo occupati di eseguire dei test elettrici sulle varie micro strutture di test presenti nel sensore. Questo con l’obiettivo di avere un’idea del funzionamento elettrico dell’intera struttura. Nella seconda parte del lavoro, attraverso l’uso
di un laser micro focalizzato a 780nm si è analizzato il comportamento complessivo del sensore Raps04 3D. In particolare nel primo capitolo si introducono le motivazioni (caratterizzazione funzionale) della realizzazione di strutture integrate 3D, rispetto alle strutture planari. Nei capitoli due e tre si introduce prima di tutto il funzionamento di un sensore di radiazione e successivamente si introducono i vari campi applicativi. Nel quarto capitolo si entra un po’ nel cuore del lavoro che prevede il test delle varie strutture che comporranno l’intero sensore, in particolare si sono eseguiti test su pixel singoli (Large\Small) e sui del buffer. Nel capitolo cinque si descrive il banco ottico di test e le strutture che ne fanno parte. Nel capitolo finale saranno illustrati prima i risultati sperimentali relativi a misure di risoluzione spaziale (Point Spread Function – PSF confrontando risultati con quelli ottenuti precedentemente con un laser verde) ed infine si confronteranno le scansioni planari, (effettuate con la stessa sorgente laser a 780nm) sia sul Raps04 2D rispetto le scansioni eseguite nello strato più interno del Raps04 3D.
Capitolo 1. Tecnologia tridimensionale

In questo capitolo si focalizzerà l’attenzione sulla tecnologia di integrazione tridimensionale dei circuiti elettronici. Dopo una descrizione generale, verranno presi in esame in maniera approfondita quelle tecnologie che si basano sull’utilizzo di connessioni attraverso il silicio, per la realizzazione di interconnessioni ad alta densità, e gli elementi tecnologici fondamentali nella realizzazione di integrazione tramite TSV (Through Silicon Vias), che sono essenzialmente quattro: allineamento, bonding, wafer thinning e formazione dei via. Secondo l’ordine, o le modalità, con cui questi elementi vengono applicati, si hanno processi produttivi differenti.

1.1 Descrizione delle tecnologie tridimensionali

Si è manifestato negli ultimi anni un notevole interesse verso le tecnologie microelettroniche a integrazione verticale. La tendenza verso questa soluzione è dovuta al fatto che essa permette una maggiore flessibilità nella fase di impilamento degli Ics, ovvero è possibile realizzare diverse configurazioni di circuiti. Si ottengono diversi vantaggi come ad esempio: migliori performance, bassi consumi di potenza, miglioramento nel fattore di forma e integrazioni di più funzioni tramite diverse tecnologie. Tali processi costituiscono una delle principali linee di sviluppo perseguite dall’industria dei semiconduttori per aumentare la densità di integrazione e le prestazioni di sistemi complessi, in particolare con la riduzione della lunghezza delle interconnessioni fra i diversi strati della struttura tridimensionale.

I ritardi nei dispositivi sono genericamente introdotti dalla circuiteria (blocchi funzionali, amplificatori, transistor) e le connessioni. Il grafico di figura 1 mette in evidenza come i ritardi di connessione diventano dominanti con la riduzione del nodo.
Sfruttando anche la terza dimensione nella realizzazione di strutture complesse, è possibile ridurre di molto la lunghezza delle interconnessioni. A livello di performance c’è un importante miglioramento, poiché connessioni più corte introducono ritardi minori. Le varie metriche sviluppate per quantificare tali vantaggi hanno permesso di ipotizzare un possibile miglioramento nelle prestazioni superiore al 145% al nodo di 50 nm [1]. Vantaggi notevoli si hanno anche per quanto riguarda il fattore di forma, dato che si ha una riduzione nell’area del prodotto finito di un fattore proporzionale al numero di tiers interconnessi. Questa particolarità ha un peso importante nelle applicazione odiere, sempre più spinte verso la miniaturizzazione e la portabilità. Un punto di forza quasi rivoluzionario è la possibilità di integrare componenti eterogenei come elettronica digitale, analogica, memorie, signal processing, comunicazione, sensori, in un singolo sistema impilato, il cui schema di principio è illustrato in figura 2:
Negli esperimenti in cui il problema fondamentale è quello di ricostruire le traiettorie di particelle cariche con rivelatori a pixel ad alta risoluzione, questi nuovi processi di integrazione offrono prospettive molto interessanti. L’integrazione verticale consente, nel caso dei sistemi per la rivelazione di tracce e vertici, da un lato una interconnessione tra strati realizzati in tecnologie diverse, ciascuna ottimizzata per una particolare applicazione (sensore a semiconduttore, elettronica di front-end CMOS), dall’altro una riduzione delle dimensioni e del passo degli elementi sensibili (pixel) del rivelatore.

![Diagram](image)

Figura 3: Struttura di principio di un sensore a pixel in tecnologia di integrazione verticale

Infatti nella realizzazione degli strati più interni dei rivelatori di vertice, l’integrazione verticale può consentire di ridurre il passo dei pixel, con un miglioramento della risoluzione, una diminuzione dell’occupancy del singolo pixel e allo stesso tempo realizzando funzionalità complesse in pixel molto piccoli (amplificazione a basso rumore, lettura sparsificata dei dati, time stamping). Nell’elettronica planare, soprattutto nei SoC, la coesistenza di diverse tipologie di circuiti era costosa e difficilmente realizzabile o di scarsa qualità. La spinta all’innovazione nelle tre diretrici: costo, performance, fattore di forma, ha portato così ad un fiorire di tecnologie molto ampio, tanto è vero che il panorama attuale è piuttosto eterogeneo e costellato di numerose soluzioni alternative. È possibile organizzare le principali tecnologie 3D, come in [1], secondo le caratteristiche di ciascuna, come la figura 4:
Esistono innanzitutto due grandi categorie: l’approccio “in-process” e l’approccio “post-process”. Le tecnologie post-process agiscono a livello più alto e riguardano più da vicino l’ingegneria del packaging. In essa rientra la tecnologia a microbump - Neo-Stack Technology, che si basa sull’idea di intervallare a due chip adiacenti un sottile strato di routing, che permetta di portare i segnali da qualunque punto del chip, fino al bordo:

Il nome della tecnologia deriva dall’utilizzo di microbumps in oro con dimensioni comprese tra meno di 50 e oltre 500μm da porre sulla superficie del die per le connessioni con lo strato presente tra i livelli. Sono necessari solo i due livelli superiori di metallizzazione per la realizzazione dei pad, in quanto devono essere sopportati meno stress meccanici in fase di assemblaggio. La metallizzazione laterale rappresenta un vero e proprio bus e collega ogni elemento della pila.
I problemi principali di questa interconnessione sono:

- Il calore interno che non sempre viene dissipato sufficientemente, il che limita la quantità di livelli effettivamente utilizzabili.

- I segnali devono essere prima condotti al bordo e poi indirizzati verso il tier interessato, quindi questa soluzione non permette di ridurre le capacità parassite delle interconnessioni, in quanto i segnali non passano direttamente tra un chip e un altro.

- Stringenti sono anche i vincoli sulle dimensioni, infatti per realizzare questa struttura tridimensionale è necessario impilare chip con la forma e la stessa area oppure chip con aree differenti opportunamente allineati. Per questo motivo si preferisce utilizzare la tecnologia Neo-Stack per impilare chip identici.

L’approccio in-process permette invece una densità di collegamenti maggiore perché interviene a livello più basso nel progetto degli IC. Nella mappa tecnologica di figura 6, una crescente funzionalità corrisponde ad uno sviluppo del packaging avanzato e delle soluzioni post-process, mentre una crescente densità di collegamenti indica l’avvento delle tecnologie basate sui via , quindi secondo l’approccio in-process. Quindi è corretto individuare la tendenza per i prossimi anni nel convergere verso una integrazione delle soluzioni TSV in sistemi di packaging tridimensionale. Le applicazioni prodotte in questi anni sono sensori di immagine e memorie flash, ma la ITRS (International Technology Roadmap for Semiconductors) [2], per tempi più lontani prevede una sempre più spinta integrazione di dispositivi differenti, con via più piccoli e densità di connessioni maggiori, fino al raggiungimento del primo superchip tridimensionale.
Nel seguito si prenderanno in esame, per quanto detto in precedenza, le varie caratteristiche dell’approccio in-process. Una prima grande distinzione può essere fatta tra i processi via-first e quelli via-last [3]. I primi prevedono per prima cosa la realizzazione sui chip di via molto profondi (dell’ordine dei 40 μm o più), seguita dai processi di assottigliamento dei wafer, che rendono disponibili i TSV come contatti nella parte inferiore del chip, dall’allineamento e dal bonding. Si tratta di una tecnica abbastanza diffusa che garantisce l’esecuzione dei processi in parallelo e su wafer totalmente separati. L’approccio via-last invece prevede lo scavo del silicio e la metallizzazione dei via, solo dopo che i due livelli sono stati assottigliati, sovrapposti e bondati. Una seconda differenziazione può essere fatta in base a come avviene la sovrapposizione dei livelli adiacenti ed è tra modalità face-up e modalità face-down.

La scelta del tipo di configurazione è legata al procedimento (via-last, o via-first) che si vuole seguire ed al numero di tier da impilare. Una terza distinzione può avvenire riguardo al tipo di bonding che viene eseguito. La ricchezza di alternative in via di studio può essere colta dalla tabella in figura 7, che riporta le principali aziende interessate alla ricerca sui TSV, evidenziando le scelte tecniche di processo di ognuna.
Figura 7: Scelte tecniche applicate dalle aziende coinvolte nella produzione di chip tridimensionali TSV.

Le varie fonderie come ad esempio IBM o CHARTERED/TEZZARON presenteranno diverse modalità, nel realizzare l’integrazione verticale, questo perché è una tecnologia che si sta sviluppando in questi ultimi anni. Comunque è possibile individuare alcune fasi comuni, che sono state accennate in precedenza e che ora saranno analizzate nei dettagli:

- TSV
- Contatti/ bonding
- Assottigliamento
- Allineamento
TSV

Le TSV relative ai circuiti integrati (IC) possono essere realizzate in diversi modi:

- TSV create nel corso della fabbricazione del IC, si suddivide in:
  - *Front-end-of-line* (FEOL) le TSVs in un IC vengono create prima di tutto.
  - *Back-end-of-line* (BEOL) le TSVs vengono fatte in fonderia durante il processo di fabbricazione.

- TSV vengono create alla completa creazione del IC.

**Feol TSVs**

Il termine front-end-of-line (FEOL) indica che le TSV vengono create come primo step nel cablaggio del metallo. Mentre la back-end-of-line (BEOL) inizia dopo il primo livello di cablaggio del metallo del IC. Il materiale conduttore per la creazione delle FEOL deve essere un polisilicio fortemente drogato, inserito nel wafer tramite la creazione di fessure simili a profonde trincee. L’unico inconveniente è la forte resistività rispetto gli altri materiali. Successivamente sarà ricoperto di un materiale conduttore per la creazione dei contatti.

**Beol TSVs**

Percorrendo quest’altra strada, il processo BEOL inizia dopo la prima fase di metallizzazione, che servirà per il collegamento con i layer futuri. In generale il processo di realizzazione delle TSV prende forma prima della fase di thinning e bonding, attraverso l’uso di tungsteno (W) o rame (Cu). Mentre un’altra idea possibile è quella di completare tutti i passi per la creazione del IC (thinning, bonding) e lasciare vuoti i vari spazi per le connessioni di metalli di livello superiore, questa tecnica si chiama post BEOL. Il vantaggio sta nel fatto che può essere realizzato da tutte quelle fonderie che non hanno ancora sviluppato la tecnologia integrata 3D. Questo potrebbe essere particolarmente importante per quelle applicazioni eterogenee come
ad esempio analogiche, digitali, RF. Bisogna poi fare un’ulteriore distinzione per descrivere le successive fasi di produzione delle TSV, cioè per Thinning, Aligned e Bonding.

✓ Vias First : le TSV vengono create nel wafer del IC prima che vengano eseguite le fasi di lavorazione.

✓ Vias Last : le TSV vengono create nel wafer dell’IC, ma solo dopo l’esecuzione di tutte le fasi di lavorazione, come Thinning, Aligned e Bonding.

Le due figure mostrano le varie sequenze che un wafer deve subire, applicando uno dei metodi FEOL o BEOL e tenendo in considerazione se applicare una Vias First o una Vias Last.

**A “Via first” approach:**

Figura 8:FEOL TSV con polisilicio.

**A “Via last” approach:**

Figura 9:BEOL TSV con Tungsteno (W) o Rame (Cu).
**Creazione delle TSV**

Tra le diverse modalità con cui è possibile realizzare le TSV troviamo l’attacco chimico Deep Reactive ion Etching (DRIE). Questa tecnica consiste nello scavare il silicio del wafer in più passi, attraverso l’utilizzo di acidi. L’attacco provocato dall’acido non crea un foro isotropo, ma esso presenterà alcune imperfezioni. Per superare questo inconveniente, un’altra idea per la creazione delle TSV è quella di ricorrere all’utilizzo del laser. La figura 10 mostra una via forato tramite laser con una profondità di 50µm e diametro di 10µm.

![Figura 10: via creata dal laser.](image)

Anche se un diametro di 10µm risulta un ottimo traguardo ed è più che sufficiente per la maggior parte delle applicazione odierne, si ipotizza che attraverso lo sviluppo di questa metodologia basata su fasci laser, potremmo raggiungere un diametro di foratura di circa 1µm. I fori vanno successivamente riempiti con materiali conduttori come rame, tungsteno o polisilicio, con l’accortezza di non lasciare spazi vuoti.
Contatti-Bonding

La deposizione di un wafer sopra l’altro è normalmente affidato al processo di allineamento. Esistono varie tecniche per la sovrapposizione di più layer. Ogni qual volta si va in contro a questo passaggio di produzione, avvengono vari controlli, come ad esempio il monitoraggio della temperatura (uniformità del rame), dell’atmosfera (vuoto o gas) e lo stato dei contatti.

Gli attuali limiti sull’allineamento dei wafer sono nel miglior caso ±1-2µm, che a sua volta sono le stesse limitazioni che ritroviamo sulle interconnessioni dell’impilamento delle TSV in 3D. Possiamo citare alcune modalità di interconnessione tra i vari strati sovrapposti:

- **W2W**: “wafer to wafer”, in questo caso le interconnessioni sono create sui wafer dove allocano gli strati precedentemente realizzati. Si adotta questa tecnica quando bisogna ridurre al minimo le perdite, quando i vari strati vengono sovrapposti.

- **C2W**: i singoli chip vengono montati sopra un wafer intero

- **D2W**: “die to wafer”, le interconnessioni vengono create tra i layer sovrapposti e si ha il collegamento con il die di uno dei due layer con il wafer dell’altro. Si ricorre a questa tecnica quando si è in presenza di die che non sono della stessa dimensione o bassa resa. Per resa si intende il rapporto tra i dispositivi accesi, e quelli totali all’interno del wafer stesso.

- **D2D**: ”die to die”: le interconnessioni sono fatte tra die e die di diversi strati.

Il bonding W2W è stato ampiamente perfezionato, ed i macchinari necessari sono comunemente utilizzati e maturi, grazie al loro uso nel packaging di MEMS.

Questo approccio presenta però alcune limitazioni:

- le geometrie dei wafer superiore ed inferiore devono essere allineate, e l’area non uguale si traduce in perdita di materiale;

- l’approccio multichip non è di facile realizzazione e c’è la limitazione pratica a soli due o tre tier;
le richieste topologiche sono stringenti per abilitare la formazione delle interconnessioni su tutto il wafer nello stesso momento;

ci deve essere coincidenza di CTE (coefficiente di espansione termica) su entrambi i wafer per evitare spostamenti durante i processi termici;

sono necessari ulteriori processi per il bonding dei pad di accesso;

le prestazioni dell’assemblaggio sono degradate: il risultato totale è dominato dai risultati del wafer peggiore;

non è possibile conoscere a priori il funzionamento di tutte le parti del wafer, così gli errori fatali si sommano (problema del KGD);

Per superare queste limitazioni il bonding C2W rappresenta una valida alternativa e permette una combinazione molto flessibile di differenti tecnologie, materiali e geometrie. Inoltre è possibile eseguire con questo approccio dei test sui chip da integrare per verificarne il corretto funzionamento, aumentando la resa dei processi. Il punto debole del C2W è il throughput, cioè la velocità di esecuzione dei processi, che è molto lenta poiché si ha un trattamento sequenziale per ogni singolo die. L’articolo [4] propone a tale proposito una variante del C2W, chiamata Advanced Chip-To-wafer (AC2W) che, tramite la separazione delle fasi di “allineamento più pre-bonding” e “bonding definitivo”, si propone di raggiungere una efficienza maggiore ed un throughput più alto. Per quanto riguarda i materiali per la creazione delle connessioni ci sono delle numerose alternative, sia nel caso in cui si parli di collegamenti per il trasferimento di elettroni tra i due layer, sia nel caso che si parli di collegamenti col solo scopo di unire i due layer. Nel caso della creazione dei contatti per il trasferimento di cariche, anche se non si ottiene una massima riduzione degli spazi, è necessario isolare bene tra una connessione e l’altra. Citiamo alcune opzioni di materiali usati per l’incollaggio:

- Biossido di silicio (SiO₂)
- Metallo (Cu )
- Metallo(Cu/Sn), incollaggio tramite fusione
- Polimeri

La fase di fusione e incollaggio avviene in temperature e pressioni elevate, questo per garantire una solidità e la levigatezza tra i due wafer. Questa procedura è condotta normalmente dal SiO2. Quando avviene l’incollaggio tra i wafer si tengono in considerazione dei diversi fattori

- Levigatezza
- Planarità
- Pulizia
- Superficie Chimica

Un elemento chiave richiesto per l’assemblaggio è l’elevata temperatura per fortificare il legame. Per questo processo è stata utilizzata una temperatura di fortificazione di circa 1000°C fino a scendere verso i 200-300°C. L’uso del rame per la connessione dei contatti fra i due layer richiede una temperatura di 350 o 400 °C per trenta minuti, seguita da una fortificazione attraverso l’azoto di 360°C per sessanta minuti con lo scopo di produrre un’eccellente qualità per l’assemblaggio. Inoltre si deve tener conto che, durante il processo di incollaggio, non rimangano intrappolate particelle o che si creino dei vuoti. L’adesivo, usato per l’incollaggio tra i layer, è un polimero e viene distribuito tra i due wafer. Simili materiali possono essere conservati a basse temperature e offrono meno stress all’impilamento dei wafer. La vera difficoltà sta proprio nell’incollaggio perché si perde un po’ di allineamento. Viene richiesta una tolleranza di allineamento pari a 2-5µm, ma gli strumenti attuali non riescono a fornire questo grado di allineamento. Per cercare di preservare l’accuratezza e l’allineamento iniziale, si cerca di fare attrito sul margine della superficie del wafer (un anello 8 mm ampio, 1.2µm di spessore), questo per prevenire lo slittamento durante la pressione dei due wafer.[5] Tra i vari passi di fabbricazione della tecnologia 3D, abbiamo notato che le fasi più critiche risultano la creazione dei collegamenti e il problema dell’allineamento, che è la fase che precede l’impilamento. Mostreremo due possibili modi per collegare i vari layer. Una possibile soluzione al problema è sviluppare una tecnologia che utilizza la dimensione verticale per collegare i componenti. Per questo il posizionamento illimitato di connessioni sono parte integrante della tecnologia 3D.
Come mostrato in figura 11 sul livello superiore è presente un anello in metallo, sul livello a terra è presente un altro metallo e una spina di tungsteno che collega elettricamente le due funzioni. L’anello è una caratteristica unica della progettazione in quanto costituisce il top del contatto elettrico e funge da maschera, per un eventuale attacco chimico, al metallo posto a terra. La profondità totale del buco è di 8 µm. La progettazione di questi collegamenti a portato alla riduzione dell’altezza dei 3D vias a 6µm, tale misura è funzione della resistenza, della pressione dell’incollaggio, della resa dell’incisione chimica e delle caratteristiche della progettazione 3D [6].

Figura 11: Vengono mostrati il metallo di livello 1, la spina di tungsteno e il metallo di livello 3.
Thinning

Tra le varie caratteristiche dei chip, lo spessore ha avuto finora importanza primaria solo in particolari applicazioni, come ad esempio le smartcard e più in generale la “flexible electronics”. Con l’avvento delle tecnologie TSV, la “terza dimensione” si è rivelata una risorsa quanto mai strategica, così anche la fase del wafer thinning, che permette di ottimizzare l’altezza dei chip, ha assunto un ruolo cruciale all’interno del processo produttivo. Nel caso di sistemi di rivelazione l’aver sistemi molto sottili consente di ridurre la quantità totale di materiale nel rivelatore di vertice e quindi di minimizzare lo scattering multiplo. Si prevede inoltre che sensori sottili siano in grado di raccogliere un segnale di ampiezza sufficiente anche in presenza di elevati livelli di radiazione. Rispetto ai sensori a pixel ibridi attualmente utilizzati, l’integrazione verticale può consentire soluzioni in cui il bump bonding viene eliminato e sostituito da interconnessioni ad elevata densità attraverso il wafer di silicio (Through-Silicon Vias) con l’elettronica di front-end, che a sua volta può essere realizzata su più livelli in una tecnologia CMOS ultra-deep submicron. Il thinning però presenta anche degli inconvenienti assolutamente non banali, legati al peggioramento delle proprietà meccaniche dei wafer sottili [7], con cui produttori e progettisti inevitabilmente devono fare i conti. In primo luogo il silicio sottile diviene leggero e progressivamente meno capace di sopportare il suo stesso peso.

Figura 12: Wafer assottigliati in una cassette, presentano deformazioni durante l’handling a causa del loro peso.
Le deformazioni che hanno luogo durante i processi di lavorazione diventano un fattore critico cosicché il wafer handling può rappresentare un vero e proprio collo di bottiglia, ad esempio in attività come il packaging. Un altro aspetto chiaramente problematico è legato al processo di thinning vero e proprio: i forti stress meccanici, causati dall’abrasione a cui è sottoposto il substrato, possono estendersi anche alla faccia superiore del wafer, causando danni ai circuiti. Poiché massimizzare la forza dei chip è importante sia per migliorare la resistenza meccanica e chimica ai processi, sia per aumentare la qualità dei dispositivi durante la loro vita, sono costantemente allo studio tecniche che permettano ottenere spessori ridotti, evitando i danni. Gli step che compongono un processo di wafer thinning sono:

- applicazione di elementi protettivi alla faccia superiore dei wafer.
- fase di grinding, ossia di abrasione.
- trattamenti di stress-relief, che permettono di rafforzare i wafer sottili, minimizzando gli effetti negativi dell’assottigliamento.

Il Backgrind è la tecnica standard quasi sempre utilizzata, consiste in un’azione di abrasione meccanica atta ad asportare parte del substrato e ridurre il wafer allo spessore desiderato. Consta di due fasi: grind grezzo e grind fine. L’abrasione grezza è senza dubbio un processo più veloce (con una rate di circa 5μm/ sec ) e viene svolta tramite una ruota abrasiva con granuli di diamante più grandi; quella fine invece sfrutta particelle di diamante più piccole, che triturano il silicio più lentamente (al massimo si ottiene una velocità di 1μm/ sec ), ma garantiscono una superficie più liscia. Esistono due possibilità per assottigliare il wafer, o si esegue tale operazione dalla parte della sezione superficialie (Face) oppure dalla parte del substrato (Back). I wafer di IC devono essere montati o “face-down” su un supporto di wafer, oppure devono essere montati in “face-up”. La fase Face-to-face(F2F) è il processo in cui vengono allineati, collegati e successivamente incollati due wafer faccia a faccia, generalmente senza supporto, e in base all’esigenza con o senza TSV. In fine verranno assottigliati, ma questa opzione risulta difficoltosa se vogliamo fare un impilamento con più layer. La figura sotto mostra l’applicazione F2F.
Anche la fase Back-to-Face può essere eseguita con o senza TSV, i due wafer sono appoggiati su dei sostegni che poi successivamente saranno rimossi. Quindi saranno montati in face-down sopra al sostegno, viene rimosso il wafer in eccesso e poi viene incollato l’altro wafer col supporto sul layer precedente. Per questo la Face di un layer risulterà incollata con il Back dell’altro layer. Le TSV possono essere create anche post BEOL in due applicazioni differenti. La prima consiste in un attacco chimico per la creazione delle TSV, mentre nella seconda il wafer viene impilato e successivamente le TSV vengono create sulla sua parte anteriore attraverso una polimerizzazione fino alla faccia del wafer sotto[5][13].
Il processo di integrazione tridimensionale vede nell’allineamento spinto dei chip una forte necessità. Una connessione tramite TSV infatti, è pienamente efficace solo se si riesce a centrare con una buona precisione il pad inferiore per creare un contatto: il disallineamento genera collegamenti tra i tier con perdite nella migliore delle ipotesi e talvolta veri e propri malfunzionamenti legati ad errori di “wiring” tra livelli differenti. Il limite massimo di disallineamento consentito dipende principalmente dal tipo di applicazione: per esempio, nei sensori a più strati sarà si avrà una tolleranza minore che in circuiti privi di parte sensibile. Hanno però la loro importanza anche altri fattori come il nodo tecnologico in cui si realizzano i dispositivi (minore è il nodo, più basso è l’errore consentito) e la densità di interconnessioni previste, dal momento che laddove i collegamenti tra strati sono più vicini c’è un rischio maggiore di interferenze. Attualmente i processi di integrazione tridimensionale disponibili garantiscono livelli di allineamento dell’ordine di 1μm, o di poco inferiori. Negli ultimi mesi però sono stati fatti grossi passi in avanti poiché l’interesse al miglioramento di questo aspetto tecnologico è veramente alto. Numerose tecniche sono state sperimentate e non è troppo ottimistico pensare che si giungerà a breve anche a livelli di precisione dell’ordine del centesimo di μm. Affinché vengano soddisfatte le condizioni di allineamento, bisogna tenere presente alcuni aspetti, come ad esempio la posizione del wafer e il divario tra i wafer. Quindi è necessario un sistema per garantire il buon parallelismo tra le fette, un metodo di monitoraggio per determinare facilmente la posizione relativa dei due tier e una procedura per determinare il buon allineamento dei contatti durante la procedura di incollaggio. Affinché ci sia un’ottimale controllo nelle direzioni laterali, vengono usati dei attuatori piezoelettrici ad alta risoluzione e di elevata linearità. L’allineamento del wafer va fatto quando le due facce sono vicine fra loro, al fine di eliminare gli errori derivati dalla profondità di messa a fuoco quando si osserva l’allineamento dei due modelli di wafer [8].
L’immagine mostra il rapporto tra la posizione misurata Z e lo stress del sensore. Si nota che quando i wafer sono ancora distanti tra di loro, lo stress del sensore è nullo. Lo stress aumenta alla creazione del contatto. Risulta difficile determinare il posizionamento preciso dell’asse Z in cui avviene l’unione, ma questo si verifica nel momento in cui c’è una pendenza della retta. Si nota che a 12µm circa c’è la creazione del contatto. Questa tecnica permette un allineamento accurato <100nm. Un allineamento e un incollaggio accurato ci permette di avere larghe applicazioni su una vasta gamma di nano strutture. Il grado di precisione per queste Vie (TSV) è un fattore molto importante nelle tecnologie in 3D in quanto fa variare la densità ottimale di un circuito. Il grado di precisione per ciò è determinato dalla dimensioni di tali Vie, che dipendono dal rapporto raggiungibile riguardo all’incisione dell’ossido, dalle regole di design con le quali le Vie (TSV) in 3D vengono piazzate e dalla tolleranza nell’allineamento tra wafer e wafer. Il grado può essere espresso come:

$$P = 2*WA + 3DV + MS$$

Dove P è il grado delle vie in 3D, WA è la capacità dell’allineamento dei wafer, 3DV è il diametro delle vie in 3D sulla piattaforma di piazzamento e MS è la minima spaziatura tra i due metalli. Inizialmente, è stata utilizzata una maschera allineatrice che ha provocato una modifica caratterizzata da una tolleranza ± 2µm, che combinando con 1.5µm di apertura di anello, ha portato ad un percorso di 5.5µm di piazzola di atterraggio e quindi 6µm di grado.
Nella fabbricazione e progettazione degli attuali wafer l’obiettivo è quello di raggiungere un allineamento di ±0.25µm. I componenti base della precisione sull’allineamento del sistema sono le telecamere con bordo di rilevazione a infrarossi. Una precisione lungo XY del cuscinetto ad aria controllata viene realizzata tramite un interferometro laser per la mappatura del wafer prima dell’allineamento. Il secondo interferometro è destinato a misurare la griglia di distorsione di ogni wafer e a selezionare la migliore corrispondenza tra i wafer, ed in fine deve compensare la distorsione dovuta al riscaldamento tra wafer e substrato. Nella figura si rappresenta il raggiungimento di una sovrapposizione di ±0.4µm[6].

Figura 16:Errore allineamento in funzione del numero di die.
1.2 Teconoligia Chartered/Tezzaron

Negli ultimi anni, diverse compagnie e centri di ricerca hanno avviato lo sviluppo di processi per vertical integration. Tra questi si trovano grandi produttori di circuiti a semiconduttore, ad esempio IBM, che offrono processi completi per circuiti tridimensionali, dalla produzione dei wafer in tecnologia planare alla loro integrazione verticale. Altre compagnie invece si limitano ad applicare processi di integrazione verticale, che esse stesse hanno sviluppato, a wafer di silicio prodotti da terzi. E’ questo il caso di Tezzaron Semiconductor (con base in Illinois, USA), proprietaria di un processo per la fabbricazione di dispositivi elettronici tridimensionali, che utilizza wafer prodotti nella tecnologia CMOS 130 nm della fonderia Chartered Semiconductor, ora Global Foundries. Grazie al processo di Tezzaron è possibile ottenere strutture a due strati (tiers), ricavate tramite tecniche di “face-to-face wafer bonding”. I passi essenziali del processo di Tezzaron Semiconductor sono mostrati nelle figure 18 e 19 [8].

Figura 17: riempimento dei “super via” e completamento del BEOL (back end of line) con l’aggiunta dei livelli di metal da 1 a 5 e del layer superiore (metal 6) per la formazione delle interconnessioni verticali ed il bonding tra i due wafer.
In tutti i wafer destinati all’integrazione verticale viene dapprima portata a termine la fabbricazione dei transistor (front end of line, FEOL). Questa è seguita dalla formazione dei via, o “super via”, della profondità di circa 6 μm, attraverso il silicio (secondo l’approccio cosiddetto “via first”, in cui i via vengono realizzati prima dei layer metallici per l’interconnessione tra i transistori). I super via vengono quindi riempiti (dando origine ai cosiddetti super-contact) e contemporaneamente si realizzano i contatti verso i transistori. Segue il completamento del back end of line (BEOL), che consiste nell’aggiunta dei livelli di metal da 1 a 5 e del layer superiore (metal 6) di maggiore spessore, tutti in rame. Il livello di metal superiore viene utilizzato per la formazione delle interconnessioni ed il bonding, effettuato per termocompressione, tra i due wafer. L’assottigliamento del wafer superiore (ridotto a 12 μm di spessore) fa emergere il super contact, che può essere sfruttato, dopo la stesura di un’opportuna metallizzazione, per la connessione con un terzo layer o per la realizzazione di piazzole per wire-bonding o bump-bonding. La tecnologia fornita da Tezzaron consente la realizzazione di via con diametro di 1.2 μm e pitch di 2.5 μm. Il processo di interconnessione offerto dalla Tezzaron introduce una quantità minima di materiale aggiuntivo: il 35% di copertura della superficie con 1.6 μm di spessore di rame corrisponde a 0.0056% lunghezze di radiazione e non rappresenta un problema per la realizzazione di dispositivi a basso budget di materiale. Come già detto, il wafer bonding viene effettuato con un processo di termocompressione ad una temperatura di 375° C ed una pressione di 40 PSI. Le tecniche di allineamento utilizzate consentono di raggiungere una precisione di ±1 μm a 3 sigma. Nel complesso il processo presenta una notevole affidabilità, con bassissima difettosità delle connessioni (0.1 PPM) ed elevata resistenza a cicli termici e sforzi di taglio. Test elettrici condotti su chip prodotti da Tezzaron hanno dimostrato che non
esiste alcuna differenza significativa tra le prestazioni dei dispositivi prima e dopo le operazioni di interconnessione ed assottigliamento né tra le prestazioni dei dispositivi prima e dopo l’applicazione di cicli termici. Come detto, la tecnologia Tezzaron si appoggia in particolare al processo CMOS 130 nm di Chartered Semiconductor, una fonderia di silicio con sede a Singapore. Le caratteristiche della tecnologia sono elencate di seguito[10]:

- disponibilità di strutture a deep N-well;
- condensatori MiM (metal-insulator-metal) con capacità specifica di 1 fF/μm2;
- dimensioni del reticolo: 24 mm x 32 mm;
- singolo livello di polisilicio;
- 8 livelli di metal;
- disponibilità di dispositivi a soglia nulla (zero Vt, native NMOS);
- disponibilità di diverse opzioni per i transistori (ciascuna delle quali offre almeno due diverse tensioni di soglia):
  - I. nominal
  - II. low voltage/high performance
  - III. low power
- disponibilità di transistori di I/O a 1.8 V, 2.5 V e 3.3 V

![Diagrama](image)

Figura 19:schema riassuntivo delle tre opzioni disponibili nella tecnologia CMOS 130 nm di Chartered Semiconductor: nominal, low voltage/high performance, low power.
Capitolo 2. Sensore di radiazione

Comunemente con il termine sensore si definisce un dispositivo in grado di trasformare una grandezza fisica che si vuole misurare, in un segnale di natura diversa (tipicamente elettrico) che sia più facilmente misurabile e memorizzabile. Per rilevare il passaggio di una radiazione, risulta di grande aiuto il diodo a giunzione p-n, che tra le svariate applicazioni, può essere implementato anche nei foto-rivelatori. Questi sono dispositivi che basano il loro funzionamento sull’assorbimento di fotoni provenienti da una sorgente esterna. Esistono diversi tipi di foto-rivelatori, principalmente differiscono per la porzione di spettro elettromagnetico che sono in grado di rilevare e per l’intensità minima di radiazione misurabile. Nel presente capitolo si analizzerà il funzionamento di un semplice fotodiodo e la sua applicazione come elemento sensibile nei sensori di immagine a pixel attivi (APS)[11].

2.1 Fotodiodo

I fotodiodi sono costituiti da una giunzione p-n, e relativi contatti metallici. Se la giunzione è polarizzata in inversa, può essere efficientemente usata come un rivelatore di segnali luminosi, per radiazioni appartenenti alle frequenze del visibile e adiacenti.
Un fotodiodo (figura 20) è un particolare diodo, caratterizzato da una giunzione p-n drogata asimmetricamente: la zona p risulta molto più drogata rispetto alla zona n. La regione di conversione della luce incidente è la zona \( p^+ \), dove i fotoni, entrando, interagiscono con il mezzo e generano le coppie elettrone-lacuna; questa regione è rivestita da uno strato di materiale antiriflettente che ha l’obiettivo di limitare le perdite di luce. Se la regione di svuotamento è illuminata da una radiazione sufficientemente elevata, i fotoni possono fornire quell’energia necessaria ad alcuni elettroni per saltare dalla banda di valenza a quella di conduzione; creando conseguentemente una coppia elettrone-lacuna. L’energia che devono cedere agli elettroni per ionizzare l’atomo del reticolo deve essere maggiore dell’ampiezza della banda proibita.

\[
E_p = h\nu = \frac{hc}{\lambda} \geq E_g
\]

Dove \( h \) è la costante di Plank (6.626·10^{-34} J.s), \( \nu \) la frequenza della radiazione, \( \lambda \) la lunghezza d’onda e \( c \) la velocità della luce. Per il silicio \( E_p=1.1\text{eV} \)

Nella regione di svuotamento le coppie elettrone-lacuna, vengono separate dal campo elettrico inverso; questo campo elettrico ha l’obiettivo di trasportare le cariche ai relativi elettrodi, che le raccolgono. La regione di svuotamento sarà di notevole estensione per materiali poco drogati; essa sarà determinante nella caratterizzazione del processo di foto-rivelazione. L’ampiezza della regione di svuotamento influenzerà le prestazioni del diodo. Per il funzionamento del fotodiodo ad elevata frequenza di risposta, la regione di svuotamento deve essere abbastanza piccola, così da ridurre il tempo di transito delle cariche generate dai fotoni.
D’altra parte per incrementare l’efficienza quantica, definita come il numero medio di coppie elettrone-lacuna raccolte rispetto al numero di fotone incidenti, la stessa regione deve essere abbastanza larga per assorbire una buona frazione di luce incidente. Inoltre una regione di elevato spessore diminuisce la capacità interna della giunzione, riducendo così il rumore termico(N=kT/C). Quindi la scelta l’ampiezza della regione di svuotamento va scelta in modo tale da ottimizzare le caratteristiche appena citate. Ogni tipo di fotodiodo è caratterizzato da una particolare sensibilità per un intervallo di lunghezza d’onda della luce incidente. Nell’intervallo del visibile e del vicino infrarosso, questi diodi sono alimentati da tensioni inverse, tali da ridurre il transito dei portatori, ed abbassare la capacità del diodo. Per quanto riguarda le tensioni inverse devono essere si elevate, ma da non provocare il fenomeno della rottura a valanga[12].

2.2 Caratteristiche generali

Le caratteristiche generali in un fotodiodo sono: efficienza quantica, velocità di risposta e rumore.

✓ EFFICIENZA QUANTICA

È il numero di coppie elettrone-lacuna generate per fotone incidente, e può essere calcolato sperimentalmente dalla seguente formula:

$$\varepsilon_q(\lambda) = \frac{I_q}{q \frac{P_{opt}}{hv}}$$

Dove la q è la carica, $I_q$ è la corrente fotogenerata dall’assorbimento di una potenza ottica incidente $P_{opt}$ ad una data $\lambda$ e $hv$ è l’energia del fotone incidente. Uno dei parametri fondamentali dell’efficienza quantica è il coefficiente di assorbimento $\alpha$, misurato in cm$^{-1}$. Come possiamo notare dalla seguente figura, viene mostrato l’andamento del coefficiente di assorbimento o analogamente profondità di penetrazione (che è l’ inverso dell’ assorbimento) rispetto la lunghezza d’onda. Come possiamo notare (in figura 21) il coefficiente di assorbimento è decrescente rispetto la lunghezza d’onda $\lambda$, e dipende dalla profondità dello spessore della zona di svuotamento. All’aumentare dello spessore aumenta l’assorbimento di luce.
Figura 21: Coefficiente di assorbimento o coefficiente di penetrazione in funzione della lunghezza d’onda $\lambda$. Il fotodiode funziona per un particolare intervallo di lunghezza d’onda di radiazione, al di là del quale esso non sarà più sensibile. Il limite inferiore di questo range di lunghezze d’onda è dato dal coefficiente di assorbimento $\alpha$, che per piccole $\lambda$ si raggiungono valori troppo alti. Ciò sta a significare che, la radiazione viene assorbita molto vicino la superficie, ed il tempo di ricombinazione risulta essere molto piccolo e quindi le cariche fotogenerate si ricombinano prima di raggiungere i relativi elettrodi. Mentre il range superiore dell’intervallo di lunghezze d’onda $\lambda$, dipende dalla larghezza della banda di conduzione del materiale che intendiamo utilizzare. Infatti la radiazione che ha una lunghezza d’onda $\lambda$ troppo grande, ciò sta a significare che il fotone non cede sufficiente energia all’elettrone per eseguire quel gap necessario per passare dalla banda di valenza alla banda conduzione. Quindi possiamo ridefinire l’efficienza quantica dipendente dal coefficiente di assorbimento.

$$\varepsilon_Q(\lambda) = (1 - R) \xi (1 - e^{-\alpha z})$$

dove $R$ rappresenta il contributo della riflessione dei fotoni sulla superficie del silicio, con il simbolo $\xi$ indichiamo la percentuale di coppie elettrone-lacuna che sopravvivono alla ricombinazione con il materiale, ed $\alpha$ è il coefficiente di assorbimento del semiconduttore mostrato nella figura 10.

$$\alpha = A(hv - E_g)^{3/2}$$

Dove $A$ è una costante e dipende dal tipo di materiale usato, e nel caso del silicio vale $A=3,33.10^3 cm^3$, $h$ è la costante di Planck e $v$ è la frequenza della radiazione. Il contributo

![Coefficiente di assorbimento rispetto la lunghezza d’onda di diversi materiali per radiazioni nel visibile](image)

**VELOCITA’ DELLA RISPOSTA:**

Per migliorare le prestazioni della velocità di risposta di un fotodiodo è necessario ottimizzare il contributo di questi fattori:

- Il tempo richiesto dalla diffusione dei portatori al di fuori della regione di svuotamento.
- Il tempo di deriva dei portatori durante il loro moto nella regione di svuotamento.
- La capacità caratteristica della regione di svuotamento.

Per ovviare al primo problema, può essere risolto posizionando la giunzione in prossimità della superficie esterna. Per quanto riguarda il secondo e terzo punto, se la regione svuotata è grande, mi limita la frequenza di risposta, ma contemporaneamente diminuisce il valore della
capacità della giunzione. Infatti se la capacità di giunzione è eccessiva, avremo una costante di tempo $\tau = R \cdot C$ troppo grande.

**RUMORE**

Durante il processo di conversione, oltre al segnale ottico che si ha intensione di rilevare, il fotodiodo raccoglie dei segnali spuri. Il minimo segnale misurabile con un fotorivelatore è determinato dalle fluttuazioni statistiche della corrente. La corrente totale è la somma della corrente di buio e della corrente fotogenerata. La corrente di buio è soggetta a fluttuazioni statistiche, dovute alla natura discreta dei portatori di carica, che da luogo ad una distribuzione statistica dei tempi di arrivo agli elettrodi (shot-noise). È quella particolare corrente oscura originata dalla generazione termica di coppie elettrone-lacuna nella zona di svuotamento. Detta $I_d$ la corrente di buio, e $B$ la banda di frequenze coinvolta, definiamo quindi il valore quadratico medio delle fluttuazioni come:

$$i_{n\text{-dark}} = (2eI_dB)^{1/2}$$

Anche la corrente fotogenerata è soggetta a fluttuazioni statiche, e sono legate alla distribuzione dei tempi di arrivo dei fotoni (rumore quantico o rumore fotonico) che, dal punto di vista degli effetti, è equivalente ad uno shot-noise. Detta $I_{ph}$ la corrente fotogenerata e $B$ la banda di frequenze, il valore quadratico medio delle fluttuazioni è espresso come:

$$i_{n\text{-quantum}} = (2eI_{ph}B)^{1/2}$$

Quindi il valore quadratico medio totale delle fluttuazioni della corrente, cioè rumore shot totale, è espresso da:

$$i_n = [2e(I_d + I_{ph})B]^{1/2}$$

nella figura successiva vediamo la rispostata del sensore al buio e quando è colpito da una radiazione luminosa [6], nel secondo caso la corrente totale è data dalla somme della corrente fotogenerata e quella di buio:
2.3 Iterazione tra Radiazione e Materia

La rivelazione del passaggio di una particella, sia essa un raggio $\gamma$ o un fotone appartenente allo spettro della luce visibile, è possibile grazie all’interazione tra radiazione e materia.

Il materiale colpito acquista energia dal fotone che lo ha colpito e, con una certa probabilità, vengono generate cariche pronte per essere raccolte, e quindi rivelate. Le entità subatomiche in grado di provocare la generazione di cariche spaziano dalle particelle $\alpha$ o $\beta$ ai raggi $\gamma$ o $\chi$ passando per la luce visibile, infrarossa e ultravioletta, dando luogo a diversi fenomeni a seconda della loro energia. La grandezza fisica principale per mezzo della quale è possibile caratterizzare tali processi è uno scalare positivo detto sezione d’urto ($\sigma$). La sezione d’urto di un processo di scattering o di assorbimento esprime, indirettamente, la probabilità che quel processo si presenti ad una fissata energia del fascio incidente. Esiste un’interpretazione geometrica di $\sigma_f$ che, per quanto non vada “presa alla lettera”, è significativa. Si può immaginare che, sul piano della lamina, ogni atomo stia al centro di un piccolo cerchio di area $\sigma_f$, che rappresenti l’area utile entro la quale la particella è “catturata”. Al di fuori di $\sigma_f$ si ha trasmissione.
Figura 24: Interpretazione geometrica della sezione d’urto

Più correttamente dare la sezione d’urto di un processo significa dare la probabilità che un certo tipo di atomo produca su una particella incidente un determinato effetto.

- **Effetto Fotoelettrico:** L’effetto fotoelettrico occorre con alta probabilità quando i fotoni incidenti hanno un’energia minore di 0,5 MeV. In questo caso, la scarsa energia del fotone non permette che questo penetri per molti micrometri, e la generazione avviene quindi nei pressi della superficie del sensore. Il fotone colpisce un atomo o una molecola e ne espelle un elettrone, cedendogli la propria energia. L’energia dell’elettrone espulso sarà quindi uguale a quella del fotone, meno l’energia che teneva legato l’elettrone all’atomo. La velocità del fotoelettrone sarà quindi tanto maggiore quanto minore è la lunghezza d’onda della radiazione incidente. L’atomo che ha perduto l’elettrone può subire un riassestamento interno. Se l’elettrone espulso occupava un’orbita interna, il suo posto verrà occupato da un altro elettrone prima situato su un’orbita periferica; nel salto di orbita dell’elettrone si libera energia, per lo più in forma di radiazioni X che possono determinare nuove ionizzazioni. La sezione d’urto per l’effetto fotoelettrico \( \sigma_{pe} \) aumenta fortemente al diminuire dell’energia del fotone incidente. La sezione d’urto per l’effetto fotoelettrico può essere approssimativamente espressa come funzione dell’energia del fotone e del numero atomico:
ove k è una costante.
La sezione d’urto quindi cresce con la quarta potenza del numero atomico e decresce con la terza potenza dell’energia del fotone. Questo fatto indica come l’effetto fotoelettrico sia il processo predominante a basse energie nei materiali ad alto numero atomico.

- **Scattering incoerente di Compton.** Nei processi di scattering, il fotone cambia la sua direzione del moto: se questo avviene senza variazione di energia, il processo si definisce coerente. In caso di perdita di energia si parla di scattering incoerente.
Se la radiazione elettromagnetica ha energia fra 0,5 e 3,5MeV diviene probabile l’effetto Compton. Questo consiste in una collisione elastica tra un fotone e un elettrone. Mentre nell’effetto fotoelettrico il fotone veniva assorbito dall’atomo e la sua energia trasferita al fotoelettrone, nell’effetto Compton l’energia del fotone incidente non viene integralmente trasferita all’elettrone; questo ne assume una parte, mentre il fotone originario viene riflesso dall’atomo, conservando un energia pari a quella originaria meno quella ceduta al fotoelettrone. Questa energia potrà essere sufficiente a determinare altri fenomeni di interazione con nuovi atomi.
La dipendenza della sezione d’urto Compton da Z e dall’energia hv del fotone incidente vale:

\[ \sigma_{ph} \propto K \cdot \left( \frac{Z^4}{h\nu^3} \right) \]

- **Creazione coppia elettrone positrone.** La creazione di coppie implica la trasformazione del fotone incidente in una coppia elettrone-positrone.
Affinché questo processo abbia luogo è necessario che sia verificata la condizione per cui l’energia del fotone incidente \( h\nu > 2m_0c^2 \approx 1.022 \text{ MeV} \) (\( m_0 \) è la massa a riposo dell’elettrone), in questo caso un fotone è completamente assorbito e al suo posto crearsi una coppia elettrone-positrone. Il positrone ha un’altissima probabilità di ricombinarsi con un elettrone, infatti quando l'energia cinetica del positrone diventa bassa (confrontabile con l'energia termica degli elettroni nel mezzo) esso si ricombina con un elettrone dando luogo a due fotoni che sono emessi in direzioni opposte, ciascuno
con energia pari a 0.51 MeV. Successivamente questi due fotoni possono essere riassorbiti per effetto fotoelettrico o Compton. La sezione d’urto d’interazione per la produzione di coppie cresce rapidamente con l’aumentare dell’energia, varia approssimativamente con il quadrato della carica Z del nucleo e con il logaritmo dell’energia del fotone:

$$\sigma_{pp} \equiv kZ \ln(h\nu + k)$$

In definitiva si può dire, sommando tutti gli effetti presi in considerazione, che quello dominante a basse energie è l’assorbimento fotoelettrico. Con l’aumentare dell’energia il processo che via via acquista importanza è lo scattering Compton, rimanendo tale su un largo intervallo, fino a quando non si arriva verso alte energie. Sopra queste energie il contributo maggiore è dato dalla produzione di coppie. Lo scattering coerente non è mai dominante nelle interazioni: a bassissime energie è più importante del contributo dello scattering incoerente, ma a queste energie il contributo fotoelettrico è, di gran lunga, il più importante.

Figura 25: sezione d'urto totale
Capitolo 3. Sensori di radiazione in tecnologia CMOS

I molteplici approcci sviluppati in questi ultimi anni nella realizzazione di sensori, si basano per una grande maggioranza su tecnologie a semiconduttore, che sfruttano i vari meccanismi fisici descritti nelle sezioni precedenti, come, ad esempio, nel caso di CCD (Charge Coupled Device), Silicon Drift Detectors, foto-diodi PIN ed altri. Fino a qualche tempo fa, i sensori tipo CCD erano gli unici utilizzati nelle fotocamere, avendo raggiunto un buon grado di sviluppo in anni di impiego in varie applicazioni come: telescopi ottici, scanner e videocamere ecc. Ultimamente però si sta affermando un nuovo tipo di sensore basato su tecnologia CMOS (Complementary Metal Oxide Semiconductor ), che promette di diventare il sensore di prima scelta in un vasto mercato. Sia i sensori CCD che CMOS catturano la luce tramite una griglia di pixel. La loro differenza sostanziale risiede nei processi di produzione e per il metodo di elaborazione e gestione delle immagini. All’inizio i sensori CMOS erano penalizzati rispetto gli altri, perché risultavano essere più rumorosi e caratterizzati da una minore efficienza di raccolta. Dal momento che la tecnologia commerciale permette di costruire circuiti integrati con lunghezze di gate inferiore a 65nm, questo risolve notevoli inconvenienti tra cui i quelli appena citati, in quanto presentando un ingombro ridotto, si sfrutta la possibilità di affiancare all’elemento sensibile una parte dell’eletronica di amplificazione. Questo ci permette di compensare la bassa efficienza di raccolta, e migliorare il rapporto segnale/rumore realizzando quindi dei veri e propri System-on-Chip (SoC).

Figura 20: Sensore APS
I sensori di radiazione Active Pixel Sensor (APS) realizzati in tecnologia CMOS, presentano inoltre anche una bassa quantità di potenza dissipata: caratteristica questa di notevole importanza per la realizzazione di un rilevatore di radiazione ionizzante (radiazioni dotate di sufficiente energia da poter ionizzare gli atomi) ad elevate prestazioni. Il vantaggio di un'implementazione di questo tipo è l’aumento della velocità di lettura e la riduzione del rumore a causa del minore impatto degli effetti parassiti. Il prezzo da pagare è l’inevitabile riduzione del Fill Factor (FF), dovuta alla presenza sul pixel di aree non sensibili, in quanto occupate dall’elettronica. Inoltre questi sensori possono essere utilizzati per individuare il passaggio di una particella ionizzante e sperabilmente fornire informazioni sulla posizione, sull’energia e sull’intensità della radiazione. Possiamo riassumere brevemente i vari vantaggi della tecnologia CMOS nei seguenti punti:

✓ Basso costo e tecnologia facilmente disponibile.

✓ Basso consumo di potenza.

✓ Utilizzo di basse tensioni di alimentazioni.

✓ Alta risoluzione dovuta al costante scaling della tecnologia CMOS.

✓ Possibilità di inserimento di elettronica digitale e analogica sullo stesso chip del sensore, per ottenere un sistema di acquisizione più compatto.
3.1 Sensori APS

Il principio di funzionamento di un singolo pixel di un sensore CMOS, è quello dell’assorbimento di radiazione, che si manifesta all’interno di una semplice giunzione p-n polarizzata in inversa: il fotodiodo. I fotodiodi utilizzati sono delle dimensioni dell’ordine del micrometro, questo comporta una giunzione p-n piuttosto ridotta, consentendo però risoluzioni dello stesso ordine di grandezza cioè: buona precisione. Come avevamo già accennato precedentemente le tensioni di alimentazioni basse, servono sia per ridurre i consumi in potenza ma anche per ridurre il rischio di prevenire il breck down del fotodiodo. Vengono chiamati Active Pixel Sensor (APS), perché i fotodiodi sono inseriti in strutture dette comunemente pixel, dove affianco all’elemento sensibile troveremo l’elettronica di alimentazione e amplificazione del segnale. Come si può notare dalla figura seguente, il fotodiodo è connesso da tre transistor che hanno l’obiettivo di resettare il fotodiodo, di amplificare il segnale locale, bufferizzare l’uscita e abilitare la lettura del segnale, tutto questo all’interno di pochi μm².

Figura 21: Schema circuital di un sensore APS (a sinistra) e matrice di pixel 3x3 (a destra)
Funzionamento di un pixel APS prevede:

1. Quando il transistor $M_{rst}$ è acceso, il fotodiodo è connesso alla rete di alimentazione con una tensione a $V_{RST}$. In questa prima fase, il fotodiodo si comporta come una capacità, caricandosi fino a una tensione pari a $V = V_{dd} - V_T$, con $V_T$ tensione di soglia del transistore di reset. Raggiunta tale tensione l’nMOS si spegne. In questa fase il diodo resta insensibile alla radiazione.

2. Quando il reset si porta a livello logico basso, il livello del catodo si abbassa leggermente a causa sia dei vari accoppiamenti capacitivi parassiti che nascono tra il catodo del fotodiodo ed il gate del $M_{RST}$ (Vedi figura 15); e dalla piccola corrente di buio (dark current) che sono soggetti i fotorivelatori. Tutto ciò si ripercuote in un abbassamento della tensione di alcuni mV. In queste condizioni, il diodo risulta essere scollegato per un periodo “sensibile” chiamato Integration time. In questo intervallo di tempo si possono verificare due situazioni:

   a) Se non arrivano radiazioni, la tensione ai capi del fotodiodo risulta stabile. Questa condizione di stabilità non è garantita per l’infinito, perché la corrente di buio anche se bassissima con il passare del tempo provoca lo scaricamento della capacità del fotodiodo.

   b) Mentre se il fotodiodo è colpito da un fotone, esso farà variare sensibilmente la tensione misurata ai capi del diodo di decine di mV che sarà poi letta attraverso l’accensione dei transistor $M_{sf}$ e $M_{sel}$ (vedi figura 15). La caduta di tensione, illustrata nella figura 15, sarà direttamente proporzionale all’energia della radiazione incidente, e all’intensità stessa.
3. Per conoscere lo stato del fotodiodo vengono in aiuto i restanti transistori di tipo nMOS: $M_{SF}$ è in configurazione source follower, in questo modo agisce da buffer e ripropone in uscita la tensione del fotodiodo. Il potenziale sul source è vincolato dal suo gate, che altro non è che il potenziale del fotodiodo. Quindi tutte le variazioni della tensione del fotodiodo, si ripercuotono quindi sul morsetto di OUT mediante il source follower. Mentre il compito del transistor $M_{sel}$ è quello di dare informazione sul valore di tensione alla ciruiteria esterna (selettori di riga e colonna). Infine è sufficiente inserire un amplificatore per leggere il valore di tensione associato al morsetto di OUT, e distinguere quindi il caso di pixel colpito e pixel non ancora colpito (figura 16)[2][5][8].
Figura 23. Variazione di tensione sul pixel appena rileva una radiazione

### 3.2 Pixel Large e Pixel Small

Di seguito sono riportati i rispettivi layout delle due differenti realizzazioni dell’unità di base (pixel) utilizzate in questo lavoro. Sono denominati come pixel Small (area sensibile di 2.4um x 2.4um) e pixel Large (area sensibile 5.3um x 5.3um).

![Layout Pixel Large e Pixel Small](image)

Figura 24: Pixel Large a sinistra e pixel Small a destra.

In entrambi i casi si tratta di pixel di dimensione 10µm per 10µm che utilizzano l’architettura a tre transistor di un pixel APS descritta precedentemente. Si può notare la sostanziale differenza della dimensione della n-well che costituisce il fotodiodo, insieme al substrato di tipo p. Come si può notare dalla figura precedente, la capacità associata alla giunzione pn del pixel Small (figura 28 a destra) è più piccola rispetto il pixel Large, questo si traduce in un
rapporto di conversione carica-tensione più elevato, questo è confermato dalla seguente relazione:

\[ V = \frac{Q}{C} \]

Quindi i pixel Small avranno una maggior sensibilità a parità di carica generata per effetto fotoelettrico, quindi i pixel con capacità più piccola presenteranno una tensione più alta, ma peggiorano le prestazioni in termini di rumore. È possibile distinguere due componenti di rumore:

1. Rumore spaziale
2. Rumore temporale

La prima descrive le fluttuazioni del valore di uscita di un pixel a fronte di una illuminazione uniforme, mentre la seconda descrive le fluttuazioni del valore di uscita del singolo pixel intorno al suo valor medio. Quest’ultimo può essere modellato in prima approssimazione in termini di potenza di rumore come:

\[ N = \frac{kT}{C} \]

È quindi evidente che la minore capacità associata ai pixel Small determina una maggiore rumorosità, ma in compenso ha un’efficienza maggiore rispetto ai pixel Large nel contare il numero di fotoni incidenti. Questo grazie al miglior rapporto di conversione carica-tensione rispetto al pixel Large, fa sì che nonostante la maggior rumorosità anche i fotoni poco energetici possano essere tradotti in una variazione significativa del segnale di uscita.

D’altra parte, avendo un’area sensibile più piccola, esse forniscono prestazioni inferiori relativamente alla capacità di raccogliere la carica (quantità di carica) generatasi in seguito all’interazione tra radiazione e substrato, specie nei casi in cui una radiazione investe un pixel sul bordo del pixel stesso: la carica generata si divide, infatti, tra pixel adiacenti, ma la percentuale di carica che non viene raccolta a causa di fenomeni di ricombinazione è molto più elevata nei pixel Small che non nei Large [11].
3.3 Il sensore RAPS04

Il sensore RAPS04 è stato fabbricato in tecnologia “verticale” Chartered-Tezzaron a 130nm a 6 livelli di metal, di cui solo 5 effettivamente utilizzabili. La struttura prevede due layer, che sono copie quasi esatte, specchiate ed incollate “faccia a faccia”, in modo da realizzare un sistema di rivelazione 3D monolitico

![Figura 25:layer Left](image1)

![layer Right](image2)

Come si può notare dalla figura 31, all’interno di uno stesso blocco è prevista sia la circuiteria di supporto per la lettura sequenziale dei dati e gestione dei tempi che determinano ciascuna fase del ciclo di acquisizione, che un’area di rivelazione attiva. La parte d’interesse è la parte in basso sinistra per il layer Left, e quella in basso a destra per quanto riguarda il layer Right. Nel dispositivo 3D lo strato di silicio della componente 2D Left è stato assottigliato fino ad uno spessore di pochi μm. I due strati sono verticalmente interconnessi mediante Through-Silicon-Vias(TSV). I Through-Silicon-Vias sono dei microfori riempiti con un metallo, in genere tungsteno che è connesso con uno dei layer metallici (vedi figura 30 a destra).
Tra i due strati sono presenti delle piazzole metalliche che messe in contatto, in condizioni opportune di pressione e temperatura si saldano effettuando il collegamento meccanico ed elettrico tra i due strati. Con questa tecnica è possibile realizzare interconnessione elettrica tra singoli pixel anche se in questo caso sono state definite soltanto nella zona periferica del chip rispetto alla matrice (figura 32 a destra), in maniera da poter essere contattati tramite microsaldature effettuate sullo strato superiore.

Grazie alla sovrapposizione delle due matrici di sensori, ciascuna in grado di rilevare una particella ionizzante incidente, sarà possibile stimare la traiettoria della particella e quindi ottenere informazioni sulla quantità di moto della stessa (vedi figura 34).
Entrambi i chip contengono sostanzialmente le stesse strutture, con l’eccezione di alcune strutture di test che mancano sul chip Right. Nella figura successiva si mostrano le varie matrici presenti in entrambi i layer.
I chip contengono:

1. Una struttura per la rilevazione di particelle, composta da due matrici di 256 pixel (16x16) lette sequenzialmente attraverso un buffer di uscita, i cui segnali escono come valori analogici su 2 pad. I pixel di una delle matrici hanno dimensione pari a (5.3umx5.3um), mentre l’altra matrice ha pixel di dimensione pari a (2.4umx2.4um). Queste strutture sono presenti sia sul layer left che right.

2. Una struttura di test composta da due matrici di 25 pixel (5x5), anche esse lette sequenzialmente attraverso un buffer di uscita, i cui segnali analogici sono presenti sul 2 pad, con dimensioni pari a (5.3umx5.3um) e (2.4umx2.4um).

3. Due strutture di test costituite ciascuna da un singolo pixel collegato rispettivamente al proprio buffer il cui valore analogico è letto attraverso la rispettiva pad. Questi pixel hanno dimensione pari a (5.3umx5.3um) e (2.4umx2.4um). Queste strutture sono previste solo sul layer left.

4. Una struttura di test consistente in una copia del buffer con ingresso ed uscita riportati su due pad. Queste strutture sono presenti sia sul layer lift che right.

La sezione di nostro interesse è caratterizzata da due matrici di 16x16 pixel, una nella versione “small” con fotodiodi a dimensione minima e una nella versione “large” con fotodiodi a dimensione massima. La scansione sequenziale dei 25 (o 256) pixel della matrice avviene quando viene rilevato un fronte di salita nel segnale di Start (viene portato al suo valore alto 1.5V). L’eventuale fronte di salita del segnale di START viene rilevato in corrispondenza del fronte di salita del clock, e le logica decide che “c’è stato un fronte di salita di START ” e l’inizio della lettura avviene al successivo fronte di clock. A partire da quel momento, e per i successivi 25 (o 256) clock, il segnale START viene ignorato e la matrice viene scandita, ciascun pixel per ogni colpo di clock. Al termine di questo periodo di 25 (o 256) clock, la logica torna ad essere sensibile allo stato del segnale di START e, se rileva un altro fronte di salita, innesca un nuovo ciclo di lettura della matrice. Mentre, per quanto riguarda la logica, essa non agisce in alcun modo sul reset dei fotodiodi, e per collegare/isolare i fotodiodi alla/dalla Vdd si deve agire sul segnale analogico Reset_Matrice,
che è del tutto indipendente dalla logica. Nell’immagine successiva possiamo visualizzare la simulazione della lettura della matrice 5x5 con un clock di 1Mhz.

![Simulazione lettura matrice 5x5](image)

**Figura 30:** Abilitazione e scansione della matrice 5x5.

Le 4 matrici (5x5) (16x16), ciascuna presente sia nella versione “small” che “large, sono costituite da pixel basate con la classica struttura a 3 Transistori (3T). Il reset è comune a tutti i pixel ed è controllato attraverso il pad analogico RESET MATRIX, che è collegato (direttamente) ai gate dei transistori di reset dei pixel. Si noti che tale segnale è un segnale analogico che non è fornito dalla logica di scansione, ma deve essere fornito dall’utente. Ciascuna colonna di 5 (o 16) pixel in una stessa matrice è collegata mediante pass transistor ad una stessa linea sulla quale agisce come pull up. Il pull down di ciascuna linea è un n-mos il cui gate è collegato al pad POL. Il segnale applicato al piedino POL (che deve essere compreso nel range 0-1.5V) determina la possibile escursione e la velocità di risposta del segnale in uscita da ciascuna colonna. Un segnale POL elevato (circa 1.5V) permette di aver un segnale veloce in uscita per ciascuna colonna, ma con una escursione logica ridotta. Viceversa per un segnale di POL basso . Il miglior compromesso è utilizzare un segnale a circa metà dell’escursione logica, cioè POL =0.75V. L’uscita di ciascuna colonna nella stessa
matrice è collegata mediante un multiplexer distribuito ad una stessa linea che arriva ad un buffer che descriveremo nel dettaglio nel capitolo successivo. L’uscita di ciascun buffer è collegata al corrispondente piedino analogico Out_5x5/16x15_Large/small.

In totale ci sono quindi 4 linee (una per ciascuna matrice) che agiscono come partitori a rapporto tra i dispositivi dei pixel di ciascuna matrice (source follower e di selezione) e i suoi nmos di pull down. Nel chip i pixel di ciascuna matrice vengono indirizzati sequenzialmente al piedino OUT mediante il multiplexer distribuito di colonna e i mos di selezione dei pixel: la scansione sequenziale segue l’ordine cartesiano:

- il primo pixel letto è quello “in basso a sinistra”.
- il secondo è quello immediatamente alla sua destra
- il terzo ancora a destra.
- il 16° (o il 5°) pixel letto è quello “in basso a destra”.
- il 17° (o il 6°) è quello “a sinistra” nella riga “subito sopra” e così via.
- l’ultimo pixel è quello “in alto a destra”.

Figura 31: Numerazione della matrice.
Mentre nel chip Right bisogna invece considerare l’ordine dei segnali come specchiato rispetto ad un asse di simmetria verticale passante per il centro. Alla fine dei 16x16 (o 5x5) cicli di clock, il sistema si rimette in attesa di un nuovo fronte di salita del piedino START.

Quindi in conclusione per leggere una matrice si deve:

- contattare Vdd e Gnd.
- fornire una onda quadra sul CLK.
- alzare RESET_LOGICA e tenerlo alto per almeno un colpo di clk (è un segnale di reset sincrono: il CLK DEVE essere in funzione).
- abbassare RESET_logica e assicurarsi che d’ora in poi resti SEMPRE basso.

Figura 32: Connessioni per leggere una matrice.
Successivamente:

- dare un valore stabile a POL (trade off tra velocità e escursione)
- alzare RESET_MATRIX per resettare i pixel delle matrici.
- abbassare RESET_MATRIX: inizia il periodo di integrazione.

Se è finito il periodo di integrazione e si vuole leggere la matrice:

- alzare START e tenerlo alto per almeno un colpo di CLK (non importa se resta alto anche di più, ma deve restare almeno 1 CLK)
- a partire dal fronte positivo del CLK successivo a quando si è stato alzato START, vengono mandati in uscita i valori pixel x pixel, secondo l’ordine visto.
- a partire da adesso e fino alla fine della scansione dei 25/256 pixel, eventuali altri colpi di START vengono ignorati.
Capitolo 4. **Strumenti software: Labview**

I test e tutta la fase di preparazione agli stessi è stata gestita tramite alcuni software: in linea generale nel corso dello sviluppo del progetto RAPS si è cercato di interfacciare i vari elementi tramite LabVIEW. In questo modo è stato possibile controllare con un unico software tutto il sistema completo:

![Diagramma](image)

**Figura 33:** Schema logico delle sezioni del set-up hardware.

Essendo il sistema di acquisizione utilizzabile per diverse tipologie di sensori (Raps03, Raps04, Raps06), è possibile selezionare da Front Panel i parametri di setup: in particolare per i dispositivi RAPS è necessario richiamare alcune librerie dell’FPGA per impostare ad
esempio le dimensioni della matrice, il tempo di integrazione, durata del tempo di reset della matrice ecc.

![Figura 34: Screenshot del Front Panel per la gestione dei sensori RAPS.](image)

In figura 40 si notano le varie sezioni del programma che consentono di impostare alcuni parametri dei sensori, dove in rosso si evidenzia la possibilità di selezionare la dimensione della matrice, connessa al canale dal quale si stanno acquisendo i dati. Mentre in giallo si evidenzia la possibilità di variare sia il tempo di reset e sia la durata del tempo d’integrazione. Nel pannello Acquisition Params di figura 41 è possibile impostare i diversi settaggi di acquisizione.
Figura 35: Pannello Acquisition Params per settare i parametri di acquisizione.

Questa sezione è divisa in tre parti: quella in alto a sinistra è relativa al calcolo dei piedistalli, quella a destra è relativa all’impostazione del trigger, e quella in basso a sinistra, infine, è relativa al calcolo dei bad pixel.

- Piedistallo: Il comportamento dei pixel presenti nel RAPS è rumoroso, quindi si acquisisce un certo numero di valori di uno stesso pixel in condizioni di buio (di norma si acquisiscono 100 frame, in ogni frame ci sono i valori dei pixel), di cui è quindi possibile individuare valor medio (chiamato piedistallo) e varianza. Il primo viene utilizzato per poter normalizzare a zero l’uscita dei pixel, in modo da facilitare la lettura e l’interpretazione dei dati di acquisizione, mentre la varianza, che, ovviamente, fornisce informazioni legate alla rumorosità dei pixel sui vari canali, viene utilizzata per dimensionare le soglie del trigger in modo da individuare i bad pixel.
Bad Pixel: Alcuni pixel possono essere danneggiati in fase di fabbricazione, quindi per non considerarli come evento significativo (si riconoscono facilmente perché risultano illuminati anche in condizioni di buio), vengono scartati e quindi mascherati. Dato che la distribuzione dei valori assunti dall’uscita di ogni pixel assume una dinamica gaussiana di cui si è calcolata la deviazione standard, in genere vengono scartati tutti i pixel che superano la soglia dei $6\sigma$.

Trigger: Nel contesto dell’acquisizione dati, con evento di trigger si intende un qualcosa che consenta di discriminare tra la situazione in cui i dati sono interessanti e vanno salvati, e quella, viceversa, in cui i dati acquisiti non sono da considerarsi significativi, e vanno quindi scartati. È ovvio che a seconda del tipo di analisi che si realizza (ad esempio, analisi di matrici esposte a radiazione rispetto ad analisi della rumorosità delle matrici stesse) uno stesso dato può essere significativo o meno. Nella colonna di destra si possono definire le soglie per ogni canale e successivamente si abilita la soglia cliccando su Trigger Source. Infine si può scegliere tra modalità AND o OR, selezionando o meno il tasto Coincidence. Selezionando la modalità OR viene acquisito il frame della matrice colpita da radiazione. Selezionando la modalità AND gli eventi significativi saranno quelli in cui una particella colpisce 4 matrici poste sul sensore.
**Salvataggio dei dati**

In particolare, il salvataggio dati (vedi figura 42) è organizzato in modo che nella cartella riferita a una certa acquisizione si trovino 8 sottocartelle: le 4 relative ai 4 canali, chiamate S1, S2, S3, S4, e le cartelle contenenti i file riferiti al rumore, ai piedistalli e alle maschere dei bad pixel. Per evitare che Windows abbia problemi di indicizzazione, è bene non inserire troppi file in una stessa cartella, la scelta di default è di metterne al massimo 1000; in questo modo dentro a S1 ci sono 16 sottocartelle, e così nelle sottocartelle S2 S3 S4 relative agli altri canali. Per risparmiare spazio su disco è possibile, inoltre, scegliere se salvare solo la sottomatrice illuminata, o tutte le 4 sottomatrici (salva solo i sensori colpiti).

![Figura 36:Salvataggio dati.](image)
Capitolo 5. Caratterizzazione Elettrica

5.1 Analisi del Buffer

In questo capitolo si andrà a descrivere il test effettuato sui buffer presenti nei *layer* esterno ed interno del Raps04-3D. Dopo un primo cenno sull’inseguitore di tensione, verranno presentati gli strumenti utilizzati per il test ed infine i risultati ottenuti.

L’inseguitore di tensione, il cui schema circuitale è raffigurato in figura 41, fornisce un guadagno unitario con idealmente una resistenza di ingresso infinita e una resistenza di uscita nulla. Quindi realizza una trasformazione notevole del livello di impedenza, mantenendo inalterato il livello del segnale. Molti trasduttori possono essere rappresentati da circuiti equivalenti a elevata impedenza, e non sono in grado di erogare una corrente sufficientemente elevata da pilotare un carico. Il buffer a guadagno unitario non richiede una corrente di ingresso e può pilotare un carico con resistenza arbitraria senza riduzioni del livello del segnale. Il rafforzamento della corrente e l’abbassamento del valore di impedenza fa sì che il dispositivo collegato a valle del buffer si trovi in una condizione vicina a quella ottimale. La bassa impedenza favorisce l’accoppiamento col dispositivo successivo, mentre l’alta corrente rinvigorisce il segnale rendendolo disponibile nella sua forma migliore. Non è un caso che i buffer vengano usati non solo in ingresso ad una catena, ma anche in uscita come “line driver”, cioè come una specie di “pompa” di corrente a bassa impedenza.

Applicazioni comuni del buffer a guadagno unitario sono i sensori e i sistemi per acquisizioni dati.

![Schema circuitale di un buffer a guadagno unitario](image)

**Figura 37:** Inseguitore di tensione o Buffer.
Strumentazione utilizzata per il test elettrico

Per la caratterizzazione del buffer di test è stato sufficiente utilizzare un generatore di segnali, un oscilloscopio ed un programma di calcolo numerico (Matlab) per le elaborazioni grafiche dei segnali acquisiti.
Per generare le forme d’onda volute si è utilizzato un generatore *Hp Hewlett Packard 8130A 300Mhz Pulse Generator*, raffigurato in figura 44, le cui caratteristiche come da datasheet sono:

- Frequenza di ripetizione fino a 300MHz
- Periodo: 3.33ns a 99.9ms
- Larghezza: 1.5ns a 99.9ms
- Risoluzione: 3 cifre (nel migliore dei casi: 10ps)
- Delay (fisso): 18ns
- Variabile di intervallo: 0ns a 99.9ms
- Tempo di transizione: 1ns a 100ms
- Livello di uscita: -4.90V a 5.00 V
- HP-IB capacità

Tutte le modalità di funzionamento e i parametri sono completamente programmabili. Quindi con questo strumento è stato possibile verificare il comportamento del circuito con varie forme d’onda, impostando il periodo, il tempo di rise, fall ed infine l’escursione desiderata del segnale.

![Figura 38 Generatore di segnali](image-url)
Per misurare la risposta comparata del generatore e del circuito sotto test è risultato necessario l’utilizzo di un oscilloscopio, nel nostro caso un Tektronix TDS 3034B four channel color Digital phosphor oscilloscope 300Mhz 2.5Gs/s:

![Oscilloscopio](image)

Figura 39 Oscilloscopio

Per analizzare al meglio le forme d’onda si è tenuto conto delle terminazioni e del tempo di salita, difatti nel caso di segnali veloci, ovvero quei segnali in cui il tempo di salita è paragonabile al tempo necessario all’impulso a percorrere il cavo di trasmissione (\(v \sim 5\) ns/m), diventa importante l’impedenza caratteristica del cavo e soprattutto l’impedenza posta alla fine del cavo stesso (la terminazione).

Possiamo a questo punto distinguere due casi:

- **Check** Il cavo (la cui impedenza di 50 Ohm – cavi LEMO o BNC - ) è collegato a due moduli con impedenza identica, cioè 50 Ohm. In questa situazione il cavo coassiale si comporta come se fosse un cavo di lunghezza infinità e di conseguenza non ci sono conseguenze nella trasmissione del segnale lento o veloce che sia.

- **Check** Il cavo riceve un segnale da un modulo con impedenza di uscita pari a 50 Ohm e lo porta ad un modulo con impedenza diversa da 50 Ohm. In questa situazione quando un segnale veloce arriva all’estremità del cavo viene parzialmente riflesso andando a distorcere i segnali successivi.

Quindi per eliminare qualsiasi riflessione del segnale sugli strumenti, la misura deve essere effettuata in condizioni di adattamento, altrimenti ne conseguirebbe una distorsione inaccettabile. Per rientrare nel primo caso, quindi per non avere distorsioni del segnale, sono
stati utilizzati dei cavi lemo, per entrambi i segnali di ingresso e di uscita, connessi ai connettori della daughterboard in cui alloggia il sensore. Inoltre per la connessione del cavo di uscita all’ingresso dell’oscilloscopio è stato adoperato un adattatore Lemo-BNC.

L’impedenza di ingresso Zin di un oscilloscopio è tipicamente costituita da una resistenza Rin di 1MΩ in parallelo con una capacità Cin di valore compreso fra 10÷30pF. Tuttavia in molti oscilloscopi è presente la possibilità di selezionare un valore della resistenza d’ingresso Rin pari a 50Ω. Un valore relativamente basso della resistenza d’ingresso accresce la larghezza di banda dello strumento, infatti ritarda le frequenze a cui cominciano a diventare rilevanti gli effetti delle impedenze capacitive. Lo svantaggio è che una terminazione a 50 Ohm riduce sensibilmente l’ampiezza del segnale. Per poter misurare in modo corretto segnali di tensione è necessario che l’oscilloscopio presenti un’impedenza di ingresso elevata rispetto all’impedenza di uscita del punto di misura.

Il circuito d’ingresso è un filtro passa-basso con frequenza di taglio $f_t$, di conseguenza in ingresso si ha un partitore di tensione.

$$f_t \approx \frac{1}{2\pi R_s C_{osc1}}$$

$$V_{out} = \frac{R_{osc}}{R_{osc} + R_s} V_{in} \quad \text{se} \quad R_{osc} \gg R_s \quad \text{allora} \quad V_{out} = V_{in}$$

Pertanto impostando un’impedenza di 1MΩ si riporta in uscita una tensione praticamente uguale a quella d’ingresso.
Nella figura 45 si mostrano tutti gli strumenti descritti precedentemente e collegati fra loro:

Figura 41: Collegamenti tra i vari strumenti.
**Test del Buffer Raps04-3D**

Come detto in precedenza il buffer non soltanto riporta in uscita il valore di tensione presente in uscita alla matrice di pixel, ma lo scopo principale è quello di disaccoppiare la sorgente del segnale dal resto del circuito. Il disaccoppiamento consente di non assorbire corrente dalla sorgente di segnale, non provocando così gli effetti di carico, ovvero un eccessivo assorbimento di corrente da parte del circuito a monte, e aumentare così la capacità di fornire potenza. L'amplificatore operazionale può essere realizzato con transistor a giunzione bipolare (BJT) oppure transistor ad effetto di campo (MOSFET, JFET). La nostra struttura è stata realizzata con transistor MOSFET, questi ultimi lavorano a frequenze maggiori e permettono di ottenere una impedenza di ingresso più elevata e un minore consumo energetico.

Come descritto nel paragrafo 3.2, il sensore Raps04 ha delle strutture di test sia sul layer Right che Left. La struttura del buffer di test, inserita con lo scopo di verificarne il corretto funzionamento, è identica al buffer che si trova a valle della matrice di Pixel. L’ingresso di questa struttura di test, però, è collegata alla PAD analogica IN_BUFFER, mentre l’uscita alla PAD analogica OUT_BUFFER

Figura 42: Schema della struttura completa
La struttura si trova “in basso a sx” nel sottochip L (“in basso a dx” nel sottochip R):

![Figure 43: Layout del chip raps04](image)

Lo schematico in figura 50 mostra le alimentazioni elettriche da fornire al buffer per avere un corretto funzionamento.

![Figure 44: Schema circuitale per la simulazione del buffer](image)
Il segnale generato dal generatore di segnali va connesso al connettore J1, mentre i connettori J2 e J3 sono le uscite dei buffer di test:

Figura 45: Connessioni per il test del Buffer.

Figura 46: Connessioni sulla daughterboard.

La prima fase di caratterizzazione è stata la verifica della linearità del dispositivo tramite un’analisi in continua (DC), confrontando il tutto con i risultati delle simulazioni al CAD.
La figura 53 mostra la risposta in DC al CAD del buffer, si visualizza il segnale d’ingresso in rosso e in verde l’andamento del segnale in uscita al buffer.
Le figure 54 e 55 presentano l’analisi sperimentale dei due buffer, realizzata variando la tensione d’ingresso a passi di 100mV nel range tra 0.1V e 1.4V. Per presentare in ingresso un valore di tensione il più possibile costante sono stati usati tempi di rise, fall dell’ordine dei ms.

Figura 47: Analisi in DC del buffer al cad

Figura 48: Analisi DC del Buffer interno.
Da queste analisi ci si aspetta idealmente un comportamento lineare come quello in figura 55 ma come si può notare, abbiamo una saturazione per tensioni in ingresso superiori a 1.3V e al di sotto di una tensione pari a 0.2V il buffer non riesca più ad inseguire la tensione d’ingresso. Tuttavia nell’intervallo di interesse, ovvero quello relativo alla dinamica dei segnali attesi [0.2V-1.2V] abbiamo un comportamento lineare. Nella seconda fase è stata svolta l’analisi in transitorio per confrontare i ritardi introdotti dall’inseguitore di tensione, i tempi di salita e discesa ed eventuali attenuazioni d’ampiezza del segnale. Anche in questo caso è stato fatto un riscontro con i risultati della simulazione.

Si definiscono quindi:

- Tempo di discesa, $t_f$ (*fall time*) del segnale d’uscita misurato tra il 90% e il 10% della tensione di uscita massima $V_{OHM}$.

- Tempo di salita, $t_r$ (*rise time*) del segnale d’uscita, definito come il tempo necessario affinché l’uscita vari tra il 10% e il 90% del valore massimo $V_{OHM}$.
Definiamo:

\[ A[\text{db}] = -20 \cdot \log_{10} \frac{V_{\text{out}}}{V_{\text{ing}}} \]

Figura 50: Diagrammi temporali relativi ai tempi di propagazione.

Questa analisi è stata suddivisa in due parti, inizialmente è stata mantenuta fissa l’escursione dinamica dell’onda trapezoidale in ingresso a 1.5 V, variando i tempi di rise e fall:

- Trise, fall: 1 µs

Figura 51: Risposta ad cad di un segnale di reset: trise; t\text{fall} = 1\text{us}.
Figura 52: Risposta reale del Buffer quando in ingresso diamo un segnale con Trise,Tfall a 1us.

- Trise,fall: 1ns

Figura 53: Risposta al cad del buffer quando il segnale di Reset presenta un Tfall,Trise =1ns
Figura 54: Andamento Reale del Buffer-in con un Trise,Fall a 1ns.

Dai grafici si evincono alcune differenze tra il dispositivo reale e quello simulato, soprattutto con segnali in cui il tempo di salita e discesa sono dell’ordine del µs. Infatti nelle simulazioni non vengono modellati correttamente effetti parassiti, che nella realtà limitano di molto le prestazioni dei circuiti. Nell’immagine di figura 58 si nota un ritardo tra ingresso e uscita, dato che non abbiamo segnali in uscita fin quando la tensione del segnale di ingresso non supera un valore di soglia (~ 0,6 V). Per quanto riguarda il transitorio di salita sono presenti due andamenti: il buffer riesce ad inseguire il segnale in ingresso solo dopo un transitorio iniziale istantaneo, causato dall’accoppiamento indotto dal segnale di ingresso sull’uscita (capacità di feed-through). Mentre i tempi di discesa sono circa uguali, tuttavia è presente un ritardo nell’inizio della discesa, effetto presente in tutti i grafici e causato dai ritardi inevitabili dovuti ai componenti del circuito. Successivamente è stata svolta un’analisi per diversi valori di ampiezza dell’onda trapezoidale in ingresso (460mV e 600mV), tenendo fisso il tempo di salita e discesa a 1 ns:
- $\Delta V=600\text{mV}$:

Figura 55: Risposta del buffer al cad quando diamo in ingresso un gradino di ampiezza @ 460mV.

Figura 56: Risposta reale del Buffer quando in ingresso abbiamo una tensione pari 460mV.
- $\Delta V=600\text{mV}$:

![Graph](image)

Figura 57 Simulazioni ideali quando in ingresso al buffer mandiamo un gradino di ampiezza 600mV

![Graph](image)

Figura 58 Risposta reale quando in ingresso al Buffer mandiamo un segnale di ampiezza pari a 600mV

Variando la tensione in ingresso è presente sia nelle simulazioni sia nel test sperimentale un transitorio iniziale che provoca un sovraelongazione, tipica nella risposta a gradino dei sistemi del secondo ordine (esempio un circuito RLC).
I parametri importanti per descrivere il transitorio sono:

- **Massima sovraelongazione S:** massimo scostamento tra il valore massimo dell’uscita e il valore a regime.
  - Con $\Delta V$ uguale a 460mV è pari a circa 260 mV nelle simulazioni e 640 mV nei risultati sperimentali.
  - Con $\Delta V$ uguale a 600mV è pari a 280 mV nelle simulazioni e 500 mV nei risultati sperimentali.

- **Tempo di assestamento $T_a$:** tempo occorrente perché l’uscita rimanga entro il +/- 5%.
  - Con $\Delta V$ uguale a 460mV è pari a 0.1us nelle simulazioni e 0,8us nei risultati sperimentali.
  - Con $\Delta V$ uguale a 600mV è pari a 0.25us nelle simulazioni e 2,8 us nei risultati sperimentali.

In conclusione si può affermare che il buffer insegue correttamente i segnali che gli vengono forniti in ingresso nel range dinamico di interesse, se si tengono in considerazione tutte le non idealità non visibili in fase di simulazione.
5.2 Analisi del Singolo Pixel

La seconda fase di test ha come obiettivo l’analisi dei singoli pixel, sia quello di tipo Large che quello di tipo Small. I due pixel possono essere resettati (cioè i due fotodiodi vengono portati a un segnale Vdd-Vth) mediante il segnale analogico del Reset_Matrice. Ciascun pixel agisce come pull up di un circuito il cui pull down è un n-mos (sia per la struttura Pixel Large che Small) il cui gate è collegato al pad del segnale di POL.

L’uscita di ciascuna struttura è sempre collegata ad un buffer uguale a quello descritto in precedenza, e l’uscita del buffer è collegata a sua volta al corrispondente piedino analogico Pixel_L/S. Quindi dalla figura 66 possiamo notare i layout del Single Pixel, buffer e multiplexer:
Per testare i due Single pixel è necessario utilizzare due cavi lemo e collegarli ai connettori J4 e J5 presenti sulla scheda Daughter, e collegare l’altro capo all’oscilloscopio per la visualizzazione del comportamento dei due Pixel.

La fase di test è stata gestita tramite LabVIEW. La variazione del tempo di Reset permette di impostare una diversa durata della fase di carica di ogni pixel. Si può inoltre osservare che all’aumentare della durata del tempo di Reset, il Pixel ha più tempo per caricarsi, questo fino a raggiungere la fase della saturazione (Treset=2ms). Nella fase iniziale, il pixel si carica con un andamento esponenziale crescente fino a Vdd-Vth. Successivamente quando il reset si
porta a livello logico basso, il livello del catodo si abbassa leggermente, questo è causato sia dai vari accoppiamenti capacitivi che si presentano tra il catodo del fotodiodo ed il gate del MRST, e inoltre anche dalla piccola corrente di buio. Tutto ciò comporta un abbassamento della tensione di alcuni mV. La figura 68 mostra che questo calo di tensione di alcuni mV risulta essere costante per diversi tempi Reset sia per lo Small che per il Large.

Figura 62: Variazione del Tempo di Reset

In figura 69 sono visualizzati i valori di tensione subito dopo la fase di reset in funzione del tempo di reset.
Il valore di tensione subito dopo il Reset è maggiore nel pixel small rispetto al Large, in quanto presenta un accoppiamento più piccolo. Un altro parametro importante è il range dinamico(ΔV), ovvero la differenza di tensione che c’è tra il valore di tensione che si viene a misurare subito dopo la terminazione della fase di reset e la fase in cui il Pixel è completamente scarico. Dal grafico in figura 70 possiamo individuare il range dopo aver saturato i due Pixel.
Finché questo intervallo $\Delta V$ non si esaurisce, il fotodiodo è in grado di rilevare la radiazione incidente, provocando a sua volta una diminuzione della tensione ai capi del fotodiodo. La radiazione può essere rilevata entro un tempo d’integrazione che può essere impostato dal Labview, dopo di che il fotodiodo viene ricaricato di nuovo e riportato al valore iniziale. Ovviamente questa fase di scarica sarà proporzionale sia all’intensità luminosa \( \text{radioattiva} \) sia al valore della capacità. Si può notare che il range dinamico del Pixel Large è maggiore rispetto al Pixel Small. Questo è causato sia dalla diversa capacità fra i due pixel sia al diverso accoppiamento (tra il transistor Mreset e il fotodiodo) tra lo Small e Large:

- $\Delta V_{\text{Pixel Small}}$: 160 mV
- $\Delta V_{\text{Pixel Large}}$: 180 mV
In figura è visualizzato il valore $\Delta V$ al variare del tempo di reset:

Figura 65: $\Delta V$ per vari tempi di reset.

Dopo aver analizzato il comportamento dei due pixel al variare del tempo di reset e dopo aver calcolato il diverso range dinamico, la seconda fase di test ha le seguenti finalità:

- Verificare che i pixel delle matrici 16x16, sia Large che Small, abbiano un comportamento di scarica analogo ai pixel di test.
- Interpolare mediante fitting la curva di scarica di entrambi i Single Pixel per fornire una misura della costante di scarica.
- Effettuare una calibrazione della sensibilità dei pixel (fattore di conversione ADC <-> mV).
- Confrontare l’andamento della scarica di un pixel presente sul layer superiore con lo stesso pixel presente sul layer inferiore.
Polarizzando il pixel in inversa esso si comporta come un condensatore, in figura 72 si può osservare l’andamento esponenziale della scarica del condensatore:

![Diagram of capacitor discharge](image)

Figura 66: Andamento della scarica del condensatore

L’intensità $i$ della corrente elettrica, partendo dal valore iniziale $V/R$, tende ad annullarsi. Il suo andamento è descritto dalla seguente equazione:

$$i = \frac{V}{R} e^{-\frac{t}{RC}}$$

Per calcolare la costante di scarica $\tau$, dove per $\tau$ si intende $R \cdot C$, è necessario determinare una funzione di miglior approssimazione, cioè una funzione $f(x)$ di un certo tipo prefissato che meglio approssima un insieme di $m$ punti di osservazione $P1, P2, \ldots, Pm$ di coordinate, rispettivamente, $(x0,y0), (x1,y1), \ldots, (xm,ym)$.

La funzione $f(x)$ è del tipo:

$$f(x) = a0 \cdot j0(x) + a1 \cdot j1(x) + \ldots + an \cdot jn(x)$$

con $n < m$, ove le funzioni $jk(x)$ sono funzioni elementari definite in un intervallo $[a, b]$ che contiene le ascisse $x0, x1, \ldots, xm$ di tutti i punti di osservazione dati. Per funzioni elementari si intendono, in questo contesto, funzioni polinomiali, esponenziali e trigonometriche. Si tratterà quindi di determinare i parametri $a0, a1, \ldots$ in modo che il grafico della funzione $f(x)$ passi
il più possibile vicino ai punti di osservazione. Per effettuare il fitting sui dati del pixel Small e Large si è utilizzata una funzione del tipo esponenziale del tipo:

\[
f(x) = ae^{-bx} + c\]

con

\[
b = \frac{1}{\tau} = \frac{1}{RC}
\]

Figura 67: Pixel Large di test.

Quindi per il pixel Large abbiamo una costante di scarica pari a \( \tau = 196 \text{ms} \), mentre per quanto riguardo per il Pixel Small la costante di scarica è pari a \( \tau = 25 \text{ms} \)

Figura 68: Pixel Small di Test
Inoltre è interessante capire se i pixel della matrice Large hanno lo stesso andamento del pixel di Test. Per far ciò è stato necessario acquisire dati al buio per vari tempi d’integrazione. Variare il tempo d’integrazione implica andar a leggere la matrice in tempi diversi e questo permette di osservare lo stesso pixel nella fase di scarica.

Figura 69 Pixel Large della Matrice

Figura 70 Pixel Small della Matrice
Come possiamo vedere si ha una variazione del piedistallo aumentando il tempo d’integrazione. In particolare il pixel assume valori di tensione (espresso in ADC counts) sempre più bassi fino al raggiungimento della scarica totale, che avviene prima nei pixel small avendo capacità minori. Nelle successive immagini si nota che la scarica dei pixel delle matrici sia Large che Small (esterna) sono analoghe alle scariche dei singoli pixel di test. È possibile quindi fare una calibrazione per capire a quanti mV corrisponde 1ADC. Per fare questo basta considerare $\Delta V/\Delta ADC$.

- Pixel Large: $1\text{ADC}=0.43\text{mV}$
- Pixel Small: $1\text{ADC}=0.30\text{mV}$

Figura 71 Andamento del pixel di test e del pixel Large della matrice.
Figura 72: Andamento del pixel di test e del pixel small della matrice.

5.3 Analisi della rumorosità

Una quantità fondamentale per un rivelatore è il rumore, che di solito è un termine additivo ed è dovuto alle micro-correnti interne al sensore. Questo rumore è intrinseco dell'elemento sensibile e non dipende dalla luce. Rappresenta un limite alla sensibilità del rivelatore poiché è molto difficile estrarre le informazioni da un segnale in cui la componente informativa è comparabile al rumore.

Nel seguito verrà descritto il comportamento dei sensori in assenza di qualsiasi stimolo. Questa topologia di analisi è molto importante per valutare il segnale prodotto della particelle ionizzanti, infatti prima di esporre il sensore a stimoli esterni, si analizza la rumorosità intrinseca per poter impostare al meglio i parametri di acquisizione e analisi come il tempo di integrazione e le soglie per il Trigge. Anche se una matrice di pixel è in condizione di buio, ciascun pixel ha un diverso livello di buio per le inevitabili differenze tra i pixel nella matrice, dovute alla non uniformità dei processi di realizzazione.
Il modello FPN(*Fixed pattern noise*) rappresenta la risposta della matrice di pixel in caso di buio o con un'illuminazione uniforme. Il *Fixed pattern noise* comprende due componenti differenti:

- DSNU: la risposta in condizioni di buio.
- PRNU: la variazione di risposta nei pixel e si osserva quando il detector è illuminato.

Tuttavia, in prima approssimazione, si è assunto che il PRNU è trascurabile e in seguito il termine FPN si riferisce al DSNU. Durante i nostri esperimenti, infatti, il sensore è stato sempre schermato dalla luce ambientale. Per le matrici presenti sui due layer il FPN è stato valutando acquisendo con labview 1000 frames consecutivi con attiva l’impostazione di sottrazione del piedistallo. In questo modo la risposta del sensore risulta centrata in zero. Nelle immagini seguenti viene visualizzata la risposta del sensore con e senza sottrazione del piedistallo:

![Frame without Pedestall subtraction](image)

Figura 73: senza Piedistallo
Figura 74 Con sottrazione di piedistallo

Ogni pixel oscilla intorno al suo piedistallo da un'acquisizione ad un altro. La causa principale di questa fluttuazione è il rumore termico $kT/C$ [29], ma ci sono altri contributi che aumentano il livello di rumore misurato come il rumore nel buffer di lettura, il rumore di quantizzazione, interferenze elettromagnetiche esterne, bonding, cavi, PCB bordo, ecc. Le figure seguenti mostrano la distribuzione della risposta di buio di un pixel misurata su 1000 frame: il segnale ha una distribuzione gaussiana centrata in zero. Le deviazione standard, che danno un’informazione sulla rumorosità della misura, sono comparabili per le stesse tipologie di matrici disposte su layer diversi:

- $\sigma = 0.99 +/- 0.29$ ADC counts per la Large Esterna e $1.01/- 0.30$ ADC counts per Large Interna
σ = 1.89 +/- 0.57 ADC counts per Small Esterna e 1.69 +/- 0.30 ADC counts per Small Interna
In generale il FPN(*Fixed Patter Noise*) è dovuto a differenze nelle dimensioni dei pixel del rivelatore e alla densità del drogaggio[]. Infatti la capacità associata alla giunzione *pn* del pixel Small è più piccola rispetto il pixel Large e la minore capacità determina una maggiore rumorosità, come si può notare dall’espressione matematica della potenza di rumore:

\[ N = \frac{kT}{C} \]
In compenso ha un’efficienza maggiore rispetto ai pixel Large nel captare i fotoni incidenti, grazie al miglior rapporto di conversione carica-tensione. Questo fa sì che nonostante la maggior rumorosità anche i fotoni poco energetici possono essere tradotti in una variazione significativa del segnale di uscita.

\[ V = \frac{Q}{C} \]

Durante le operazioni di acquisizione, di solito, il segnale di ogni pixel viene confrontato con una determinata soglia, se la soglia viene superata si suppone che una particella ha attraversato il rivelatore e il corrispondente frame viene salvato. Solitamente la soglia deve essere quanto più bassa possibile al fine di rilevare i segnali deboli, ma il rumore pone dei limiti nella scelta di questo parametro, dato che si possono verificare eventi rumorosi che superano la soglia.

Ogni frame è composto da \( N_p = 16 \times 16 = 256 \) pixel, assumendo lo stesso rumore gaussiano per ogni pixel con una varianza \( \sigma \), la probabilità \( P_{FH} \) di avere un evento falso è dato da:

\[
P_{FH} = 1 - p^{N_p} \\
p = \int_{-\infty}^{\tau} g(x)dx \\
g(x) = \frac{1}{\sigma \sqrt{2\pi}} e^{-\frac{x^2}{2\sigma^2}}
\]

Dove \( p \) è la probabilità di non superamento della soglia su ogni pixel e \( g(x) \) è la funzione gaussiana, usando la soglia normalizzazione \( \tau = T/\sigma \) la diventa:

\[
P_{FH}(\tau) = 1 - (1 - Q(\tau))^{N_p} \\
Q(x) = \frac{1}{\sqrt{2\pi}} \int_{x}^{\infty} e^{-\frac{t^2}{2}} dt
\]

dove \( Q(x) \) è detta Q-function. [Biagetti]

La \( P_{FH} \) può essere stimata con il rapporto tra il numero di frame che hanno superato una certa soglia sul totale dei frame durante un acquisizione in condizione di buio. La misura sperimentale della \( P_{FH} \) in funzione della soglia è riportate nelle figure: sull’asse delle \( y \) troviamo sulla destra la probabilità e sulla sinistra il numero di pixel. Come possiamo notare
impostando una soglia superiore a 6 ADC counts la probabilità di avere eventi falsi è nulla su tutte le matrici:
Capitolo 6. **Banco Ottico**

Nel presente capitolo viene descritto il principale strumento utilizzato per la caratterizzazione dei sensori oggetto di studio, ovvero un banco ottico basato su sorgenti laser a elevata focalizzazione, con capacità di micro-movimentazione e acquisizione automatizzate. Vengono riportati alcuni elementi di ottica di base che regolano la propagazione dei fasci gaussiani quando si ha la necessità di focalizzarli: si sottolinea il fatto che vengono introdotti solo come riferimento in modo da giustificare al lettore alcune scelte prese durante la fase sperimentale dei test. Successivamente viene descritta la sorgente laser utilizzata a 780nm, ed infine verranno illustrati sia il setup del banco ottico che i vari software per effettuare le scansioni delle matrici. Nella figura 84 diamo un’idea di tutto lo schema logico delle sezioni set-up hardware. Mediante il pc su cui è installato il Virtual Instrument di interfaccia si può avviare il loro funzionamento e la definizione dei principali parametri legati alla durata del clock, del tempo di integrazione e di Reset, reso parametrico dalla riprogrammazione al VHDL. L’uscita analogica proveniente dal Sensore, va resa digitale attraverso l’uso di un convertitore analogico digitale. Dopo di ch’è i dati oramai digitalizzati, ritornano all’FPGA per poi visualizzare i dati sul pc.
6.1 Collimazione e focalizzazione di un fascio gaussiano

Nel progettare lo schema ottico per la manipolazione di un fascio laser sono state avanzate le seguenti ipotesi:

- lente sottile; ciò significa che la larghezza della lente è piccola in confronto alle distanze generalmente associate con le sue proprietà ottiche come lunghezza focale e diametro.
- il diametro della lente è grande abbastanza per far in modo che gli effetti dovuti al troncamento possano essere trascurati.
- i fasci laser sono onde sferiche uniformi i cui raggi sono uguali alla distanza dall’oggetto.
Nella figura 85 è schematizzata la creazione dell’immagine che una lente crea dalla parte opposta della sorgente. Con riferimento a tale figura, è possibile scrivere la seguente relazione:

\[ \frac{1}{f} = \frac{1}{S_1} + \frac{1}{S_2} \]

detta equazione delle lenti gaussiane che lega \( S_1 \), distanza dell’oggetto dalla lente, e \( S_2 \) distanza dell’immagine dalla lente a \( f \), lunghezza focale.

Un altro parametro importante è l’ingrandimento \( M \) dato dalla formula:

\[ M = \frac{y_2}{y_1} = \frac{S_2}{S_1} \]

Un’altra legge che è di estrema importanza nel campo dell’ottica è la cosiddetta legge dell’invarianza ottica poiché:

\[ \Theta = \frac{x}{s} \quad \text{e} \quad \Theta_2 = \frac{x}{s_2} = \frac{x}{s_1} \cdot \frac{y_1}{y_2} \]

allora si ottiene:

\[ y_2 \Theta_2 = y_1 \Theta_1 \]
Questa legge fondamentale è vera solo se sono verificate le ipotesi prima enunciate, poiché è necessario poter linearizzare i seni degli angoli, operazione possibile solo per angoli piccoli. Un fascio luminoso si dice collimato quando i suoi raggi sono paralleli, formando un fascio di diametro costante. In pratica è come se fosse generato all’infinito o la sua sorgente avesse dimensioni infinite. La figura 86 illustra il funzionamento della lente nella collimazione di un fascio. Nello schema presentato, la sorgente luminosa è puntiforme. Lo schema mostra inoltre come la lente non riesca a collimare perfettamente un fascio divergente, poiché il fascio, una volta passato per il mezzo rifrattivo che forma la lente, dovrebbe rimanere limitato in uno spot di dimensione costante. Tuttavia, a causa delle non idealità dei sistemi reali, ciò non è possibile[4].

La collimazione di un fascio avviene ponendo la sorgente ad una distanza dalla lente pari alla distanza focale. La legge che restituisce il raggio dello spot collimato è pari a:

\[ \frac{y_2}{y_1} = \frac{\Theta_1}{\Theta_2} \]

Non potendo essere nulla la divergenza del fascio prodotto dopo il passaggio per la lente si ha:

\[ \Theta_2 = \frac{y_1}{f} \]

Una lente può anche essere usata per focalizzare uno spot collimato. Si tratta dell’utilizzo duale a quello appena illustrato. La focalizzazione avviene con un angolo di incidenza pari a:
e la dimensione massima dello spot è pari a:

\[ y_2 = \Theta_1 f \]

Queste equazioni pongono un vincolo alla massima focalizzazione possibile o, in altre parole, alla minima dimensione dello spot focalizzato. Per diminuire ancora lo spot è necessario o espandere lo spot collimato o diminuire la lunghezza focale \( f \). Un altro modo per ottenere uno spot di dimensione piccola è utilizzare un laser di lunghezza d’onda più piccola possibile.

Dalla teoria infatti è noto che più piccola è la lunghezza d’onda di un laser, più piccolo è lo spot focalizzato ottenibile [4].

Tale fenomeno è descritto dalla seguente relazione:

\[ \omega^2 = \omega_0^2 + \left( \frac{\lambda z}{\pi \omega_0} \right)^2 \]

nella quale viene espressa la variazione del raggio del fascio laser \( w(z) \) in funzione della coordinata in cui si propaga \( z \). \( \lambda \) è la lunghezza d’onda del laser e \( \omega_0 \) è il raggio del fascio gaussiano letto in un grafico di distribuzione spaziale dell’intensità in corrispondenza del valore pari a \( 1/e^2 \) ovvero 0,135. Anche qui è bene ricordare che le equazioni mostrate sono
valido solo se è possibile applicare la linearizzazione delle funzioni trigonometriche e se i fasci laser sono gaussiani.

Per il progetto RAPS di cui questo lavoro è parte integrante si è sempre sfruttata l’opportunità di avere spot di dimensioni più piccole utilizzando sorgenti con lunghezze d’onda inferiori: in tal modo si ha la possibilità di studiare contestualmente gli effetti di differenti profondità di penetrazione nel silicio.

Questo studio è necessario considerando il fatto che uno degli scopi del progetto è l’utilizzo dei sensori a pixel attivi per applicazioni di rilevazione di tracce per ricostruzione di vertice. 

L’idea è quindi quella di emulare gli effetti di una MIP, Minimum Ionizing Particle, tramite le sorgenti laser in nostro possesso [11][12]. Una MIP ha la capacità di penetrare nel silicio attraversandolo completamente e generare carica localizzata in un’area molto limitata in prossimità del suo passaggio.

Le coppie elettrone-lacuna generate a profondità diverse, a causa di un insieme di fenomeni, sono in parte raccolte dall'area sensibile del pixel che si vorrebbe realmente stimolare e in parte si ricombinano; altre infine vengono raccolte dagli elementi sensibili dei pixel adiacenti provocando una risposta, anche in assenza di uno stimolo diretto. Normalmente i pixel interessati da questo fenomeno, noto come cross-talk, hanno un legame topologico con il pixel realmente stimolato.

Dalla teoria della focalizzazione di un raggio laser a profilo gaussiano, è noto che questo segua un andamento come mostrato in figura 83 in prossimità della zona di fuoco

![Caratteristica dello spot laser in prossimità della zona di focalizzazione](image)

**Figura 83** Caratteristica dello spot laser in prossimità della zona di focalizzazione, [8].
Questo risultato teorico ci spinge a pensare che una radiazione avente una divergenza dello spot maggiore rispetto alle altre, e una profondità di penetrazione più elevata, possa essere catturata anche dai pixel circostanti, producendo un cross-talk che si renderà più o meno utile a seconda del campo di impiego del sensore.

Per un raggio gaussiano che si propaga nello spazio libero, la dimensione dello spot \( w(z) \) sarà al valore minimo \( w_0 \) in una zona detta “strozzatura del raggio”. Per una radiazione di lunghezza d’onda \( \lambda \), a una distanza \( z \) dalla zona di strozzatura, la dimensione dello spot risulta pari a:

\[
w(z) = w_0 \sqrt{1 + \left( \frac{z}{z_0} \right)^2}
\]

\[
z_0 = \frac{\pi w_0^2}{\lambda}
\]

definito come Rayleigh range che rappresenta la distanza dal punto di strozzatura del fascio, per la quale lo spot si mantiene approssimativamente costante nella sua dimensione che vale:

\[
W(\pm z_0) = w_0 \sqrt{2}
\]

Dalla formula si nota che il Rayleigh range risulta inversamente proporzionale alla lunghezza d’onda, per questo motivo con le sorgenti adoperate per le misure ci si aspetta un andamento diverso delle risposte in quanto questa dipendenza indica delle variazioni nelle dimensioni degli spot focalizzati e un diverso effetto dovuto a una differente divergenza nella profondità di propagazione.
6.2 Laser rosso 780nm

E’ un modello prodotto da Picoquant, con lunghezza d’onda nominale di 780nm, potenza massima di 17mW e larghezza d’impulso di 70ps. La testa laser (vedi figura 84) è pilotata da un impulsatore che può essere impostato per seguire un trigger esterno (tramite cavo BNC frontale a 50 ohm) oppure il trigger interno fornito da un clock a 80MHz che può essere diviso per 2, 4, 8, 16.

La presenza dell’impulsatore riportato in figura 85 è un punto di forza del laser rosso in quanto tramite questo dispositivo è possibile regolare in modo fine l’intensità dell’illuminazione attraverso una manopola.
6.3 Setup banco ottico

La fibra che trasporta il segnale luminoso del laser è collegata ad un blocco di elementi ottici che permette di focalizzare l’energia su un volume molto contenuto, al fine di poter stimolare la generazione elettronica in volumi di silicio confinati.

- **Lente di collimazione**: permette di collimare il fascio laser che, come descritto sopra, è divergente all’uscita dalla fibra.
- **Beam splitter**: funziona da struttura di interfaccia meccanica tra obiettivo e lente collimatrice, e permette l’installazione di strumenti di analisi della beam shape quali fotodiodi o IR-cam.
- **Obiettivo**: Focalizza il raggio laser sul sensore.

Figura 86 A sinistra è possibile notare il beam splitter che sorregge a sx la fibra e a destra l’obiettivo.
6.4 Software utilizzati

Matlab
Matlab è stato utilizzato in numerosi ambiti durante lo svolgimento del lavoro qui presentato. In questa sezione vengono descritti i due listati più frequentemente utilizzati, per chiarire come sono stati analizzati i dati provenienti dal sensore e come sono state create le relative immagini. Il crosstalk ottico, elettrico e spettrale e le imperfezioni delle ottiche utilizzate fanno sì che uno stimolo posto in un punto riesca a generare cariche anche nei fotodiodi adiacenti. Il risultato di questo fenomeno, dal punto di vista pratico, è una “diffusione” (spread) dell’area sensibile di ogni singolo pixel intorno al suo fotodiodo. Matematicamente questa funzione è il risultato della convoluzione nello spazio della forma del fascio laser con il volume sensibile del pixel. L’implementazione del calcolo della PSF (Point Spread Function) in Matlab è basata su questo algoritmo che sfrutta i 36100 file prodotti da una scansione LABview:

1. Tramite la lettura di alcuni file (il primo, l’ultimo ed il centrale), cerco il pixel “centrale” della mia scansione per fare in modo di ottenere una PSF simmetrica e completa.

2. Leggo ciascun file e memorizzo in una matrice il valore della caduta di tensione del pixel individuato al punto 1. La matrice deve avere un numero di righe pari al numero di righe della scansione, ed un numero di colonne pari al numero di passi effettuati per ogni riga della scansione. In tale maniera si assicura una corrispondenza biunivoca tra punti adiacenti nella matrice e punti adiacenti sulla superficie del sensore.

3. Visualizzo la matrice come superficie tridimensionale. Ottengo così una valutazione della PSF del pixel in questione. L’altro algoritmo è molto simile a questo e prevede essenzialmente di calcolare, al posto della caduta di tensione su un singolo pixel, la somma delle cadute di tensione su un cluster di pixel quadrato. Ad ogni iterazione del ciclo viene individuato il pixel più illuminato e viene implementato un algoritmo di clustering per ottenere i dati della sottomatrice di interesse. Nel capitolo riguardante i risultati saranno ripresi questi argomenti per un ulteriore approfondimento.
Labview
Per effettuare le varie scansioni delle quattro matrici del Raps04, sono state effettuate attraverso un pannello del labview, che permette di automatizzare le scansioni sulle matrici.
Le scansioni hanno l’obiettivo di fare una caratterizzazione strutturale tramite uno stimolo luminoso focalizzato, con una precisione sub micrometrica altrimenti impensabili da eseguire a mano dall’utente.

✔ Controllo motori: tutti i vari motori sono corredati di software forniti dal produttore, che consentono la scelta della direzione e lo step di spostamento, inoltre possiamo anche impostare la velocità ed accelerazione. Anche per i motori sono forniti dei blocchi che sono compatibili con la programmazione in Labview (vedi figura 87).

![Controllo motori](image)

**Figura 87:** Controllo motori.

![Motori per spostare il Laser](image)

**Figura 88:** Movimenti motori.
Per quanto riguarda i motori 2,3,4,5: 1\text{cout} = 0.0035\mu m

Per quanto riguarda il motore 1: 1\text{count} = 0.0069\mu m

Per il motore Numero 1:
Passo minimo = 7.2\times\text{cout}

Per il motore Numero 2:
Passo minimo = 28\times\text{cout}

Per il motore Numero 3,4,5:
Passo minimo = 60\times\text{cout}

Quindi ad esempio se vogliamo scandire una porzione di matrice di 42 \mu m con il motore 3:

\[ \frac{42\mu m}{60} = 12000 \text{ Passi} \]

I motori 3,4,5 hanno come passo minimo 0.21 \mu m
Il motore 2 ha passo minimo 0.1\mu m
Il motore 1 ha passo minimo 0.05 \mu m
Il motore 6 ha passo minimo 0.6 \mu rad
Figura 89 Struttura del banco ottico

Quanto appena detto risulta accessorio alle vere potenzialità fruibili da questo tipo di programmazione, basti pensare che è stato implementato con questo software il controllo di macro operazioni in modo da pilotare i motori in determinate direzioni unitamente
all’acquisizione e salvataggio dei frame del sensore di dimensioni arbitrarie. Tramite questo blocco ad esempio è possibile realizzare dei test, i cui risultati verranno illustrati nel capitolo 6

![Figura 90: Sezione del programma per caricare il file di macro e il folder di salvataggio.](image)

In figura 90 vengono illustrati i sistemi di riferimento relativi agli stage motorizzati. Sulla sinistra della figura si evidenzia la possibilità di muovere l’ottica di collimazione e focalizzazione, e di conseguenza il laser, in tre direzioni rispetto al dispositivo sotto test: in particolare la configurazione dei motori permette di muovere la sorgente parallelamente alla superficie sensibile del sensore, in direzione della stessa in avvicinamento o in allontanamento e infine consente di porsi in condizioni di incidenza obliqua longitudinalmente al dispositivo. Dall’altro lato è possibile muovere il sensore seguendo le tre direzioni del sistema di riferimento cartesiano. Le misure sono state effettuate tramite un sistema di scansione sub-micrometrica.

![Figura 91: Schema illustrativo dei sistemi di riferimento relativi agli stage motorizzati.](image)

In primo luogo ci si è posti nella condizione di migliore focalizzazione dello spot, dopo di che sono stati acquisiti dati spostandosi e irradiando una superficie di alcuni pixel, con un
percorso a “zig-zag” scandito a passi di 0,21μm. Il pattern eseguito per coprire l’area da scansionare è stato sempre lo stesso su tutte le matrici.

![Figura 92 Scansione a zig e zag](image)

**Struttura di una macro**

*nosave, numero identificazione motore, ampiezza di ogni passo [count], n.ro di passi, STOP*

- nosave, 4,60,1,stop

indica uno spostamento con il motore 4 (asse orizzontale e perpendicolare al fascio laser) lungo 0,21 μm (60 count) effettuati 1 sola volta. Stop indica invece la fine di una riga.

**Esempio di macro**

1) save, 3, 60, 200, stop  
2) nosave, 3, -12000, 1, stop  
3) nosave, 4, 60, 1, stop  
1) save, 3, 60, 200, stop  
2) nosave, 3, -12000, 1, stop  
3) nosave, 4, 60, 1, stop

..........  
...
In pratica è stata eseguita una traccia, acquisendo i dati per ogni spostamento, azionando il motore del piano orizzontale, ortogonale a quello di incidenza del fascio laser (1). Al termine della suddetta linea si è riportato il motore al punto di partenza senza acquisire dati (2), dopo di che, azionando il motore del piano verticale, sempre ortogonale al piano d’incidenza, ci si è spostati in basso per uno spostamento minimo rispetto al passo utilizzato (3), questo ultimo movimento risultata il punto di partenza delle tracce a seguire, da qui si è ripetuta la sequenza esaustivamente fino al completamento dell’area da esaminare. La fase di messa a fuoco è stata agevolata dal software di acquisizione implementato in LabVIEW in quanto è possibile visualizzare la matrice di pixel sollecitata su un grafico 3D a barre: ogni istogramma riporta la risposta del pixel opportunamente convertita in ADC.

![Figura 93: visualizzazione grafico 3D.](image-url)
Capitolo 7. **Scansioni Laser Rosso**

In questo capitolo verranno descritte le analisi effettuate con il laser Rosso, in quanto ha una maggior profondità rispetto al laser verde. L’obiettivo è quello di verificare in prima istanza la possibilità di lettura contemporanea e il grado di allineamento fra i due layer. In seconda istanza si ha l’obiettivo di effettuare scansioni sulle matrici di pixel, presenti rispettivamente sul layer Left e sul Layer Right. A sinistra della figura 94 è rappresentata la struttura 3D del Raps04, dove si possono notare i pixel che si affacciano tra loro, la presenza dei vari strati di metal (di colore viola verde e nero) e le BondPoints (piazzole).

![Schema strutturale del Rap04](image)

Figura 94 Schema strutturale del Rap04

Nella parte destra della figura 94 invece è raffigurato il sensore Raps04. La struttura fotosensibile è quella evidenziata in rosso in basso a destra, mentre le altre strutture visibili ad occhio nudo sono l’elettronica di alimentazione e di amplificazione del segnale.
7.1 Verifica della risposta correlata dei due tier di Raps04 3D

Dal momento che il sensore Raps04 è costituito da due layer quasi identici, specchiati ed incollati “faccia a faccia”, è interessante innanzi tutto verificare se vi sia una determinata corrispondenza tra le risposte dei due layer stessi. Prima di tutto è necessario focalizzarsi con lo spot laser sulla matrice Large presente nel layer Left (cioè una volta illuminato il retro del layer superiore, si focalizza e si centra lo spot della sorgente su un singolo pixel), come visualizzato nella figura 95.

![Figura 95 Focalizzazione sulla matrice Large superiore](image)

Nell’immagine successiva (figura 96) sono evidenziate le coordinate del pixel saturato.
Successivamente è necessario ottenere una piena focalizzazione anche per quanto riguarda il layer inferiore. A tal proposito è necessario traslare il motore 5 longitudinalmente, in modo tale che la sorgente si avvicini al sensore di circa 25/30 µm, come si può notare in figura 97.
Focalizzarsi completamente con il fascio laser nel layer inferiore risulterà impossibile. Questo perché a causa delle varie metallizzazioni, e riflessioni, non ci permette di ottenere una piena focalizzazione su un unico pixel (vedi figura 98).

![Focalizzazione del Laser](image)

Figura 98 Focalizzazione del Laser

Dopo aver raggiunto la massima focalizzazione traslando solo il motore longitudinale, ci si trova nella condizione in cui si è massimamente focalizzati ma non centrati su un singolo pixel. Questo è dimostrato dal fatto che i pixel intorno a quello focalizzato non assumono tutti lo stesso valore d'ampiezza. Dall’istogramma in figura 99 si può notare l’assenza di centratura dei pixel adiacenti a quello focalizzato solamente lungo un asse. Ovviamente i valori presenti sull’asse delle ordinate sono soltanto simbolici.

![Assenza di centratura](image)

Figura 99 Assenza di centratura
Successivamente per ottenere la giusta centratura, è necessario traslare i motori 3,4 (cioè si effettuano movimenti sul piano ortogonale alla direzione del fascio), fino a raggiungere la massima centratura su un singolo pixel (vedi figura 100).

![Figura 100 Centratura](image)

Agendo quindi con scostamenti a passo minimo dei motori si può concludere di aver posizionato il fuoco della sorgente luminosa sulla superficie del sensore inferiore, anche se con un'incertezza non indifferente, dovuta alle impurità che condizionano la propagazione del laser quali il reticolo cristallino del silicio e le metallizzazioni interposte tra le due matrici di pixel. Nella figura 108 si mostra la massima focalizzazione e centratura, che è stato possibile raggiungere (nel layer inferiore), ne risulta di conseguenza un segnale molto degradato come già potevamo aspettarci.
Invece nella figura 109 si visualizza la coordinata del pixel colpito.

Figura 109 Coordinata del massino sulla matrice interna
Per calcolare il disallineamento tra i layer, è sufficiente quindi conoscere le coordinate di partenza sul layer superiore dopo essersi focalizzati, conoscere la posizione del massimo nel layer inferiore (trovato attraverso la focalizzazione) ed infine per dare una misura più fine del disallineamento bisogna tenere conto anche delle traslazioni effettuate con i motori 3 e 4 (a passo minimo), che sono state necessarie per il raggiungimento dell’equalizzazione dei pixel adiacenti rispetto a quello focalizzato.

Asse X  |80 µm -70 µm |+2 µm =12µm  +2µm con il motore 3  
Asse Y  |60 µm -80 µm |+1 µm =21µm  +1µm con il motore 4

In fine si riscontra essere presente un disallineamento lungo l’asse X di 12µm, e un disallineamento lungo l’asse Y pari a 21µm. Questo è confermato dall’immagine in figura 110 che rappresenta una tomografia assiale del sensore Raps04 (copyright Desy, Hambourg, DE)

Figura 110 Tomografia del Raps04 3D
7.2 Scansioni

La durata dell’intero test è direttamente proporzionale alla media sul numero di frame, in questo caso è stata fatta su 10 frame, per una durata complessiva del test di circa 11 ore. Questo genere di prove, vengono lanciate durante le ore notturne per evitare il più possibile vibrazioni causate anche da persone che camminano all’interno del laboratorio, piuttosto che sulle scale di fronte. In questo modo si può ridurre il numero di frame da mediare e di conseguenza la durata complessiva del test. Un’altra accortezza utile è quella di mantenere in assoluto la stessa luminosità all’interno della stanza dove è sito il banco: i test lanciati la sera solitamente, prevengono in ogni caso la durata per tutta la notte per poi terminare entro le prime ore del mattino, quando il sole inizia ad alzarsi, nel peggio dei casi si passa quindi da condizioni di luce, nel tardo pomeriggio, buio la notte, per tornare poi alla luce delle prime ore del mattino. Il setup è chiuso in una scatola metallica, ma dovendovi accedervi con tutti i cavi per il controllo dei motori, la comunicazione dei sensori con il PC e quant’altro, sono state effettuate due fessure sulla scocca che permettono, per quanto limitato, il passaggio della luce. Queste variazioni potrebbero compromettere la corretta finalizzazione del test ed inficiare i risultati, pertanto si è preferito effettuarli mantenendo la luce del laboratorio accesa.

Si ricorda che i pixel delle matrici ESA-L ed ESA-S si distinguono nella dimensione dell’area sensibile: nel primo caso la superficie sensibile copre circa il 70% dell’area del pixel, nel secondo caso circa il 25%.

7.2.1 Scansioni Laser

Il sensore RAPS04 realizzato in tecnologia Chartered/Tezzaron da 130nm, nasce come sensore di ultima generazione 3D, dall’accoppiamento di due dispositivi pressoché identici uno sopra l’altro. Si ricorda infatti che in RAPS04, è presente una griglia di ottagoni di bonding a livello di metal-6 per ragioni di densità come mostrato in figura 111. Il loro spessore è dell’ordine dei decimi di micrometro e coprono una superficie di circa $3,3 \times 3,3 \mu m^2$. Tale struttura sovrapposta alle metallizzazioni costituisce un “schermo” alla radiazione luminosa, quindi sono stati effettuati test sia sullo strato superiore, che sullo strato interno per verificare il loro effetto sulla risposta dei pixel.
I risultati riportati in figura 112 e 113 scaturiscono da degli scan di circa 30x30µm sulle due diverse matrici. Anche in questo caso il test è stato effettuato sfruttando lo step minimo dei motori di 0,21µm su entrambe gli assi, per un totale di circa 18000 acquisizioni della matrice. Sono riportate le risposte dei pixel large e small ottenute tramite retroilluminazione della superficie dello strato superiore. Essendo strutture stimolate dal loro lato posteriore non sono coperte da nessun livello di metallizzazione ed elementi di elettronica accessori al loro funzionamento: grazie a questo approccio è possibile apprezzare ancora meglio la diversa dimensione delle aree sensibili dei due pixel. Quindi, a causa del ridotto spessore dello strato esterno (circa <10µm), è possibile confrontare le analisi con un fascio laser che ha una ridotta capacità di penetrazione. Segue nelle pagine successive il confronto dei risultati ottenuti durante questo lavoro di tesi con l’analisi effettuata in precedenza dall’ing. Commodi tramite la sorgente a 531nm.
Come possiamo notare dalle figure precedenti, le stesse scansioni sono state eseguite in precedenza con laser verde. Il laser verde consente una migliore definizione dello spot laser, pur mantenendo una discreta capacità di penetrazione. Per quanto riguarda la matrice Small, la presenza di quella forma non regolare è dovuta probabilmente a una sorta di riflessione causata dalla forte intensità del fascio laser (questo comportamento si verifica quando ci si focalizza su un singolo pixel ed è indipendente dal pixel scelto). Il test è stato effettuato sfruttando lo step minimo degli stage traslatori di 0,21µm in entrambe le direzioni come nei
casi precedentemente illustrati. In linea con i test antecedenti si nota come il pixel large
presenti una risposta in valore assoluto inferiore al pixel small, come mostrato meglio nelle
figure 114 e 115.

![Figura 114 Psf ESA-L retroilluminata](image1)

Figura 114 Psf ESA-L retroilluminata

![Figura 115 Psf ESA-S retroilluminata](image2)

Figura 115 Psf ESA-S retroilluminata
Successivamente si illustrano le varie scansioni eseguite nello strato più interno. Ricordiamo che dal momento che il fascio laser dovrà attraversare diverse metallizzazioni, dovremmo considerare sia le varie riflessioni che attenuazioni della risposta. In figura 117 e 118, sono riportate le PSF rispettivamente per il pixel small e large. Inoltre nella figura relativa al pixel large la PSF presenta un abbattimento della risposta nella zona centrale della struttura: questo è dovuto soprattutto alla presenza della metallizzazione del fotodiodo che scherma l’area sensibile.

![Figura 117 Psf ESA-S Interna](image1)

![Figura 118 Psf ESA-L Interna](image2)
Quindi grazie alla possibilità di automatizzare lunghe sequenze di spostamenti del laser e di acquisire al contempo la risposta del sensore, sono state programmate alcune scansioni per analizzare la sensibilità della struttura del RAPS04. Tutte le scansioni sono state programmate per ottenere la massima risoluzione che i motori potessero fornire: lo step minimo del laser è di 0.21\(\mu\)m. Lo spostamento del laser andrà a coprire una superficie quadrata, con una superficie pari a 42\(\mu\)m x 42\(\mu\)m. Questa scelta dipende dal fatto che i sensori RAPS04 presentano pixel con 10 \(\mu\)m di lato, e per avere una buona visualizzazione di una matrice 3x3 si è scelto di eseguire una scansione di un’area quadrata di lato pari a 42\(\mu\)m. Quindi il percorso a zigzag del laser, come illustrato dalla linea rossa nella figura 104, ha permesso di costruire una mappatura della sensibilità del pixel in funzione della posizione del laser, (la cosiddetta Point Spread Function PSF cioè la risposta impulsiva). In figura 119 e 120 vengono affiancati gli scan su un’area di 3x3 pixel sulle matrici ESA-L ed ESA-S: la seconda, presenta un livello di risposta molto più elevato, raggiungendo picchi di circa 1800ADC.
Dal momento in cui il sensore Raps04 3D è realizzato da due sensori Raps04 2D (costituito da un solo layer), è interessante quindi confrontare la scansione della matrice Large interna del Raps04 3D, con la scansione della matrice Large del Raps04 2D con una stessa sorgente laser (780nm). L’inclinazione dei grafici è dovuta alla posizione del sensore sulla scheda in quanto quello utilizzato è stato direttamente microsaldato su PCB non è quindi presente il classico zoccolo di alloggiamento: per evitare cortocircuiti tra le connessioni è stato preferito fissare il sensore in una posizione che rendesse le microsaldature più sicure e di più comoda realizzazione, inclinandolo rispetto ai bordi del PCB stesso.

Figura 121 Ingrandimento del bonding di RAPS04 effettuato da Maria Ionica.
E’ possibile distinguere visibilmente la rete di pad utili alla connessione dei due chip: questo fenomeno è dovuto al materiale rame di cui sono costituiti questi elementi che risulta funzionale anche al loro spessore, di conseguenza la sorgente viene riflessa evidenziando abbattimenti regolari.

Figura 122 PSF @780nm sulla matrice ESA-L RAPS04 2D.

Figura 123 PSF @780nm sulla matrice ESA-L RAPS04 3D layer interno.
In figura 122 e 123, si è sovrapposto lo schematico del pixel, è riportata la PSF per lo scan a 780nm, si evidenzia che la parte sensibile del pixel senza metallizzazioni ottagonali sopra è maggiormente esposta e presenta una risposta più elevata. Dallo scan della sottomatrice di 3x3 pixel l’effetto risulta ancora più evidente come mostrato in figura 124 e 125.

Figura 92 Scan a 780nm sulla matrice ESA-L del RAPS04 2D con sovrapposizione del layout.
Come potevamo aspettarci, per quanto riguarda il Raps04 3D, la mappatura della sotto matrice (ESA-L) \(3\times3\) non è così netta, anche se stiamo utilizzando un laser fortemente focalizzato. Questo è causato in parte dal disallineamento ma soprattutto, dal fatto che il fascio laser prima di giungere ai pixel presenti nello strato più interno, deve prima incontrare diversi materiali (ossidi, metalli) provocando quindi varie riflessioni.
Capitolo 8. **Conclusioni e sviluppi futuri**

I test elettrici eseguiti sul sensore di radiazione a matrice di pixel attivi RAPS04-3D hanno permesso di verificare il corretto funzionamento di ogni singola struttura. Successivamente, è stato utilizzato un bacco ottico (già esistente e migliorato nel corso degli anni) basato su laser visibile ad elevata focalizzazione per caratterizzare i sensori. Si sono inizialmente effettuati dei test sul dispositivo Raps04 3D sul layer superiore che hanno confermato i risultati ottenuti in passato con le altre sorgenti: in particolare dalle matrici realizzate con pixel LARGE, è emersa una perfetta omogeneità della risposta in tutta l’area sensibile. La matrice realizzata con pixel SMALL mostra una maggiore sensibilità e di conseguenza una minore stabilità dovuta al rumore. L’utilizzo di una sorgente meno intensa come il laser verde permette di avere una miglior risposta (PSF). Infine sono stati confrontati i risultati ottenuti sul dispositivo RAPS04 versione 2D con le scansioni del layer più interno del RAPS04 3D, sempre tramite le sorgenti a 780nm. Confermando la omogeneità di risposta dei pixel LARGE e la rumorosità dei pixel SMALL. E’ stato rilevato l’effetto dei pad di connessione sulla superficie del sensore, ma la loro presenza non va ad intaccare la funzionalità del dispositivo in quanto queste sottili metallizzazioni risultano del tutto trasparenti al passaggio di particelle ionizzanti, e non un impedimento come nel caso di sorgenti alla lunghezza d’onda del visibile. Le scansioni del chip Raps04 sono ostacolate sia al disallineamento tra i tier, che soprattutto a causa delle varie riflessioni che si vengono a creare all’interno del sensore. In futuro sarebbe interessante utilizzare con il laser per le scansioni con un’inclinazione non ortogonale rispetto al sensore, tale da permettere una diversa incidenza del fascio e quindi un diverso effetto delle metallizzazioni.
Bibliografia


Ringraziamenti

Ringrazio il Professor Daniele Passeri che con la sua carica, il suo ottimismo e il suo fare estremamente amichevole, mi ha dato l’opportunità di mettermi alla prova con grande serenità. Ringrazio anche il Professor Leonello Servoli che con la sua totale disponibilità e dedizione al progetto di cui anche io ho fatto parte, mi ha trasmesso grande determinazione nell’abbattere gli ostacoli.

Un grosso ringraziamento a mio fratello Raffaele e alla sua compagna Fiammetta, ma soprattutto ai miei genitori, Mario e Silvana, che in tutti questi anni mi hanno sostenuto ed hanno creduto in me, dandomi la possibilità di intraprendere questa bella esperienza, grazie di cuore. Ringrazio anche i miei zii Paolo ed Ugo per il loro continuo incitamento.

Ringrazio Fabio Commodi per la sua disponibilità, per i consigli e per avermi spesso preparato la colazione, grazie piccolo Fabio. Un grazie al mitico Daniel che ogni qual volta c’era un problema nel laboratorio ha messo sempre una pezza, ora che ho scoperto che fa il portiere mi spiego tante cose. Ringrazio Meroli per il suo aiuto dandomi preziosi consigli su come risolvere i vari problemi che incontravo. Un grosso ringraziamento a Stefano Siontas che è semplicemente un grande amico. Un bel ringraziamento a Chiara Mariotti, che con i suoi appunti sintetici, ma precisi, mi ha dato un grosso aiuto, grazie per avermi accompagnato fino la fine. Ringrazio Andrea Calcagni per i bei periodi passati insieme e le grosse mangiate a casa Giorgi, il muscolo più allenato era quello della mascella. Ringrazio Nicola Micheletti per le belle serate perugine, ma soprattutto grazie per essere come sei, un grande amico; la cosa più bella era vederlo ogni mattina sfasciare il letto e rimettere il materasso nell’armadio per non dare nessuna traccia di lui. Ringrazio il mitico Michele Salvatore, per gli amici del laboratorio Elio, insieme abbiamo superato le varie difficoltà durante la tesi. Un saluto anche a Raffaele Perni, per gli amici Pepo, insieme abbiamo forse passato uno dei momenti più critici e ci siamo aiutati a vicenda. Ringrazio l’eccellente Francesco Trichini, per la sua disponibilità nel prepararmi spesso il pranzo e pazienza nell’aver sopportato le mie varie incazzature. Ringrazio anche il mitico Simone, compagno da una vita, la nostra amicizia è iniziata dalle superiori, è una sorta di specchio del passato. Ringrazio Roberto Pizzi e Fabio Caraffini per le belle avventure in Finlandia, specialmente nello splendido locale London. Un saluto al più matto di Gualdo Tadino, Saverio, che a pranzo si voleva mangiare sempre mezzo chilo di pasta al giorno, che per cinque giorni era un totale di ben 2.5Kg di pasta a settimana. Un saluto a Roberto Tomassini, e alle sue crostate.

Se mi sono dimenticato di ringraziare qualcuno lo farò a voce.